

Docket No.: 60188-711

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Yuji SEKIGUCHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 19, 2003	:	Examiner: Unknown
	:	
For:	:	DATA LATCH TIMING ADJUSTMENT APPARATUS

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

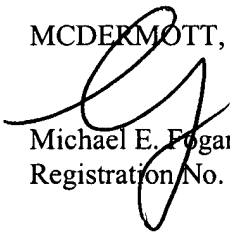
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-337925, filed November 21, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: November 19, 2003**

60188-7U  
November 19, 2003  
SEKIGUCHI et al.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 1 日  
Date of Application:

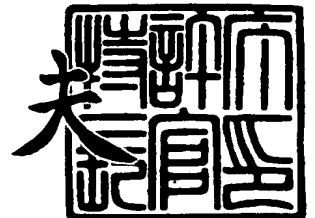
出 願 番 号                      特 願 2 0 0 2 - 3 3 7 9 2 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 3 7 9 2 5 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2037840184

【提出日】 平成14年11月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/00  
G11C 29/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 関口 裕二

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 三木 陽一郎

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データのラッチタイミング調整装置

【特許請求の範囲】

【請求項 1】 出力されたデータのラッチタイミングを調整するデータのラッチタイミング調整装置であって、

ラッチパルス信号を複数の遅延量で遅延させて複数の遅延パルス信号を生成し、その何れか 1 つを選択して出力する遅延選択部と、

前記出力データ、及び前記遅延選択部により選択された遅延パルス信号を受け、受けた遅延パルス信号の受信タイミングで前記出力データをラッチするラッチ回路と、

前記出力データが前記ラッチ回路に入力される毎に前記遅延選択部から前回とは異なる遅延量の遅延パルス信号を前記ラッチ回路に入力させるように、前記遅延選択部を制御する遅延制御部とを備えた

ことを特徴とするデータのラッチタイミング調整装置。

【請求項 2】 出力されたデータのラッチタイミングを調整するデータのラッチタイミング調整装置であって、

前記出力データを複数の遅延量で遅延させて複数の遅延出力データを生成し、その何れか 1 つを選択して出力する遅延選択部と、

前記遅延選択部により選択された遅延出力データ、及びラッチパルス信号を受け、受けたラッチパルス信号の受信タイミングで前記遅延出力データをラッチするラッチ回路と、

前記ラッチパルス信号が前記ラッチ回路に入力される毎に前記遅延選択部から前回とは異なる遅延量の遅延出力データを前記ラッチ回路に入力させるように、前記遅延選択部を制御する遅延制御部とを備えた

ことを特徴とするデータのラッチタイミング調整装置。

【請求項 3】 前記遅延選択部は、直列接続された複数個の遅延回路を有することを特徴とする請求項 1 又は 2 記載のデータのラッチタイミング調整装置。

【請求項 4】 前記遅延選択部は、DLL を有する

ことを特徴とする請求項 1 又は 2 記載のデータのラッチタイミング調整装置。

【請求項 5】 前記ラッチ回路のラッチデータを対応するチェック用データと比較して、両データの一致を判定する比較回路と、

前記比較回路の比較結果を受けて、この比較結果に基づいて、前記ラッチ回路でのデータのラッチが適切である場合の前記遅延選択部での遅延量を判定する判定部とを備えた

ことを特徴とする請求項 1 又は 2 記載のデータのラッチタイミング調整装置。

【請求項 6】 前記判定部は、

前記比較回路での複数の比較結果が連続した一致判定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、中心に位置する遅延量を適切な遅延量であると判定する

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 7】 前記判定部は、

前記比較回路での複数の比較結果が連続した一致判定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、最も短い遅延量を適切な遅延量であると判定する

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 8】 前記判定部は、

前記比較回路での複数の比較結果が連続した一致判定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、中心に位置する遅延量よりも周囲温度の変化の傾向を考慮した側に偏った遅延量を適切な遅延量であると判定する

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 9】 前記判定部は、

前記比較回路での複数の比較結果を総合して、選択される確率が高い比較結果に対応する前記遅延選択部の遅延量を適切な遅延量であると判定する

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 10】 前記出力データは、メモリから読み出されたデータであり、前記ラッチ回路は前記メモリからの前記読み出しデータを受ける L S I に備えられる

ことを特徴とする請求項 1 又は 2 記載のデータのラッチタイミング調整装置。

【請求項 11】 前記出力データは、第 1 の L S I から出力されたデータであり、

前記ラッチ回路は前記第 1 の L S I からの前記出力データを受ける第 2 の L S I に備えられる

ことを特徴とする請求項 1 又は 2 記載のデータのラッチタイミング調整装置。

【請求項 12】 前記メモリ又は前記第 1 の L S I はクロック信号に同期して動作するものであり、

前記遅延選択部に入力されるラッチパルス信号は前記クロック信号で代用される

ことを特徴とする請求項 10 又は 11 記載のデータのラッチタイミング調整装置。

【請求項 13】 前記メモリは、データの出力と共にストロープ信号をも出力するメモリであり、

前記遅延選択部に入力されるラッチパルス信号は前記メモリからのストロープ信号で代用される

ことを特徴とする請求項 10 記載のデータのラッチタイミング調整装置。

【請求項 14】 出力データは  $n$  ( $n$  は 2 以上の整数) ビットのデータであり

前記ラッチ回路及び前記比較回路は各々  $n$  個備えられる

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 15】 出力データは  $n$  ( $n$  は 2 以上の整数) ビットのデータであり

前記ラッチ回路は  $n$  個備えられ、

前記比較回路は 1 個のみ備えられ、

更に、前記  $n$  個のラッチ回路と前記比較回路との間には、前記  $n$  個のラッチ回路のうち何れか 1 個を選択する選択部が配置される

ことを特徴とする請求項 5 記載のデータのラッチタイミング調整装置。

【請求項 16】 前記ラッチ回路は、ラッチパルス信号の立上りエッジと立下

リエッジの双方で前記出力データをラッチするものであり、

前記遅延選択部、前記ラッチ回路及び前記比較回路は、前記ラッチパルス信号の立上りエッジ用と立下りエッジ用との2組備えられる

ことを特徴とする請求項5記載のデータのラッチタイミング調整装置。

【請求項17】 前記出力データは、データと共にストロブ信号をも出力するメモリから読み出されたデータであり、

前記ラッチパルス信号は、前記メモリからのストロブ信号により代用されることを特徴とする請求項16記載のデータのラッチタイミング調整装置。

【請求項18】 前記ラッチ回路は、ラッチパルス信号の立上りエッジと立下りエッジの双方で前記出力データをラッチするものであり、

前記ラッチ回路及び前記比較回路は、前記ラッチパルス信号の立上りエッジ用と立下りエッジ用との2組備えられ、

前記遅延選択部は1個のみ備えられ、

前記遅延選択部により選択された遅延出力データ又は遅延パルス信号が前記立上りエッジ用のラッチ回路に入力され、前記遅延選択部により選択された遅延出力データ又は遅延パルス信号の反転信号が前記立下りエッジ用のラッチ回路に入力される

ことを特徴とする請求項5記載のデータのラッチタイミング調整装置。

【請求項19】 前記遅延選択部には前記ラッチパルス信号が入力されることを特徴とする請求項18記載のデータのラッチタイミング調整装置。

【請求項20】 前記遅延選択部には前記出力データ信号が入力されることを特徴とする請求項18記載のデータのラッチタイミング調整装置。

【請求項21】 前記出力データは、メモリから読み出されたデータであり、前記チェック用データは、予め、チェック用データ保管部に保管されていて、前記メモリから出力データを読み出す際には、

この読み出しに先立って前記チェック用データ保管部に保管されたチェック用データがメモリに書き込まれ、その後、このメモリから前記チェック用データが前記出力データとして読み出される

ことを特徴とする請求項5記載のデータのラッチタイミング調整装置。



【請求項 22】 前記チェック用データ保管部に保管されるチェック用データは、

メモリの隣接するビット間のクロストークを考慮したパターンで保管されることを特徴とする請求項 21 記載のデータのラッチタイミング調整装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリや L S I などの半導体回路から出力されたデータのラッチタイミングを調整するデータのラッチタイミング調整装置に関する。

【0002】

【従来の技術】

一般に、メモリからのデータの読み出しタイミングは、その設計の際に決定されるので、メモリの配置場所や特性、周囲温度などの影響に起因してデータの読み出しタイミングが変化するため、その読み出したデータを固定のラッチタイミングでラッチすると、データのラッチミスが生じる。このため、読み出しデータのラッチタイミング調整が必要となる。従来では、読み出しデータのラッチタイミングを調整するために、ディップスイッチなどを設けて、メモリの出力データを正常にラッチできるように調整していた。

【0003】

しかし、前記の方法では、その調整を行う工数が発生するという欠点があるため、例えば特許文献 1 では、メモリからの読み出しデータのラッチタイミングを自動的に調整するタイミング調整回路が提案されている。

【0004】

図 16 は、前記特許文献 1 のタイミング調整回路のブロック図を示す。同図は、メモリ a からの読み出しデータのラッチタイミングを調整する回路であって、書き込み制御部 b は、メモリ a においてチェック用として予め定められたアドレスに所定のデータを書き込む。この時、書き込みデータ保管部 c には、前記書き込み制御部 b によって前記アドレスに書き込まれたデータを保管する。

【0005】

また、読み出し制御部 d は、前記メモリ a にタイミング信号を出力して、メモリ a に書き込まれた前記アドレスのデータを読み出させると共に、このタイミング信号により前記メモリ a から読み出されたデータをラッチするためのラッチパルス信号をラッチパルスディレイ部 e に出力する。ラッチパルスディレイ部 e は、 $n+1$  個の遅延回路  $e_0 \sim e_n$  を有し、前記読み出し制御部 d からのラッチパルス信号を相互に異なる時間だけ遅延させて複数の遅延パルス信号を生成し、出力する。 $n+1$  個のラッチ回路  $f_0 \sim f_n$  は、各々、前記メモリ a からの読み出しデータと、前記ラッチパルスディレイ部 e からのラッチパルス信号及び  $n$  個の遅延パルス信号のうち対応する信号を受けて、この受けたパルス信号により前記メモリ a からの読み出しデータをラッチする。 $n+1$  個の比較回路  $g_0 \sim g_n$  は、対応するラッチ回路  $f_0 \sim f_n$  からのラッチデータを前記書込みデータ保管部 c に保管された対応データとを比較する。判定部 h は、前記各比較回路  $g_0 \sim g_n$  の比較結果に基づいて、前記ラッチパルスディレイ部 e からのラッチパルス信号及び遅延パルス信号の中から、メモリ a からの読み出しデータのラッチタイミングが最適なパルス信号を判定する。選択部 i は、前記判定部 h の判定結果に基づいて、 $n+1$  個のラッチ回路  $f_0 \sim f_n$  のうち最適なラッチタイミングを受けたラッチ回路の出力を選択する。

#### 【0006】

これにより、特許文献 1 では、メモリ a の読み出しデータの最適なラッチタイミングを判定して、自動的に調整している。

#### 【0007】

#### 【特許文献 1】

特開 2001-350668 号公報 (図 1)

#### 【0008】

#### 【発明が解決しようとする課題】

ところで、メモリの動作が今後一層に高速化すると、メモリからのデータの読み出しも高速化し、それに応じてメモリからの読み出しデータの確定期間が短くなる。従って、メモリからの読み出しデータを正常にラッチするためには、きめ細かな遅延調整を行う必要が生じる。

## 【0009】

しかしながら、前記特許文献1の技術では、きめ細かな遅延調整を行ったり調整可能範囲を拡大するためには、ラッチパルスディレイ部eにおいて、微少な遅延差を持つ多数の遅延パルス信号を生成するように、小さな遅延を持つ多数の遅延回路が必要となる。その結果、備える複数個のラッチ回路及び比較回路は、前記多数の遅延パルス信号に対応して多数個必要になる欠点が生じる。この欠点は、前記メモリからの読み出しデータのラッチタイミングに限らず、LSIからのデータのラッチタイミングでも同様に生じる。

## 【0010】

本発明は、前記問題点を解決するためになされたものであり、その目的は、メモリやLSIの動作が高速化したり、ラッチタイミング調整可能範囲を拡大する場合であっても、前記の如きラッチ回路や比較回路の個数を増加させることなく、遅延調整の精度を向上させることが可能なデータのラッチタイミング調整装置を提供することにある。

## 【0011】

## 【課題を解決するための手段】

前記の目的を達成するため、本発明では、信号遅延用の多数の遅延回路を備えても、これらの遅延回路のうち1個を順次選択する遅延選択部を設け、この遅延選択部で順次遅延回路を選択しながら、その選択した遅延回路の信号でもってメモリの読み出しデータ等をラッチして、判定回路及び比較回路の個数を削減することとする。

## 【0012】

すなわち、請求項1記載の発明のデータのラッチタイミング調整装置は、出力されたデータのラッチタイミングを調整するデータのラッチタイミング調整装置であって、ラッチパルス信号を複数の遅延量で遅延させて複数の遅延パルス信号を生成し、その何れか1つを選択して出力する遅延選択部と、前記出力データ、及び前記遅延選択部により選択された遅延パルス信号を受け、受けた遅延パルス信号の受信タイミングで前記出力データをラッチするラッチ回路と、前記出力データが前記ラッチ回路に入力される毎に前記遅延選択部から前回とは異なる遅延

量の遅延パルス信号を前記ラッチ回路に入力させるように、前記遅延選択部を制御する遅延制御部とを備えたことを特徴とする。

【0013】

請求項2記載の発明のデータのラッチタイミング調整装置は、出力されたデータのラッチタイミングを調整するデータのラッチタイミング調整装置であって、前記出力データを複数の遅延量で遅延させて複数の遅延出力データを生成し、その何れか1つを選択して出力する遅延選択部と、前記遅延選択部により選択された遅延出力データ、及びラッチパルス信号を受け、受けたラッチパルス信号の受信タイミングで前記遅延出力データをラッチするラッチ回路と、前記ラッチパルス信号が前記ラッチ回路に入力される毎に前記遅延選択部から前回とは異なる遅延量の遅延出力データを前記ラッチ回路に入力させるように、前記遅延選択部を制御する遅延制御部とを備えたことを特徴とする。

【0014】

請求項3記載の発明は、前記請求項1又は2記載のデータのラッチタイミング調整装置において、前記遅延選択部は、直列接続された複数個の遅延回路を有することを特徴とする。

【0015】

請求項4記載の発明は、前記請求項1又は2記載のデータのラッチタイミング調整装置において、前記遅延選択部は、DLLを有することを特徴とする。

【0016】

請求項5記載の発明は、前記請求項1又は2記載のデータのラッチタイミング調整装置において、前記ラッチ回路のラッチデータを対応するチェック用データと比較して、両データの一致を判定する比較回路と、前記比較回路の比較結果を受けて、この比較結果に基づいて、前記ラッチ回路でのデータのラッチが適切である場合の前記遅延選択部での遅延量を判定する判定部とを備えたことを特徴とする。

【0017】

請求項6記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記判定部は、前記比較回路での複数の比較結果が連続した一致判

定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、中心に位置する遅延量を適切な遅延量であると判定することを特徴とする。

【0018】

請求項7記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記判定部は、前記比較回路での複数の比較結果が連続した一致判定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、最も短い遅延量を適切な遅延量であると判定することを特徴とする。

【0019】

請求項8記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記判定部は、前記比較回路での複数の比較結果が連続した一致判定を含む場合には、これらの連続する一致判定に対応する前記遅延選択部での複数の遅延量のうち、中心に位置する遅延量よりも周囲温度の変化の傾向を考慮した側に偏った遅延量を適切な遅延量であると判定することを特徴とする。

【0020】

請求項9記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記判定部は、前記比較回路での複数の比較結果を総合して、選択される確率が高い比較結果に対応する前記遅延選択部の遅延量を適切な遅延量であると判定することを特徴とする。

【0021】

請求項10記載の発明は、前記請求項1又は2記載のデータのラッチタイミング調整装置において、前記出力データは、メモリから読み出されたデータであり、前記ラッチ回路は前記メモリからの前記読み出しデータを受けるLSIに備えられることを特徴とする。

【0022】

請求項11記載の発明は、前記請求項1又は2記載のデータのラッチタイミング調整装置において、前記出力データは、第1のLSIから出力されたデータであり、前記ラッチ回路は前記第1のLSIからの前記出力データを受ける第2の

LSIに備えられることを特徴とする。

【0023】

請求項12記載の発明は、前記請求項10又は11記載のデータのラッチタイミング調整装置において、前記メモリ又は前記第1のLSIはクロック信号に同期して動作するものであり、前記遅延選択部に入力されるラッチパルス信号は前記クロック信号で代用されることを特徴とする。

【0024】

請求項13記載の発明は、前記請求項10記載のデータのラッチタイミング調整装置において、前記メモリは、データの出力と共にストロブ信号をも出力するメモリであり、前記遅延選択部に入力されるラッチパルス信号は前記メモリからのストロブ信号で代用されることを特徴とする。

【0025】

請求項14記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、出力データは $n$  ( $n$ は2以上の整数) ビットのデータであり、前記ラッチ回路及び前記比較回路は各々 $n$ 個備えられることを特徴とする。

【0026】

請求項15記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、出力データは $n$  ( $n$ は2以上の整数) ビットのデータであり、前記ラッチ回路は $n$ 個備えられ、前記比較回路は1個のみ備えられ、更に、前記 $n$ 個のラッチ回路と前記比較回路との間には、前記 $n$ 個のラッチ回路のうち何れか1個を選択する選択部が配置されることを特徴とする。

【0027】

請求項16記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記ラッチ回路は、ラッチパルス信号の立上りエッジと立下りエッジの双方で前記出力データをラッチするものであり、前記遅延選択部、前記ラッチ回路及び前記比較回路は、前記ラッチパルス信号の立上りエッジ用と立下りエッジ用との2組備えられることを特徴とする。

【0028】

請求項17記載の発明は、前記請求項16記載のデータのラッチタイミング調

整装置において、前記出力データは、データと共にストロブ信号をも出力するメモリから読み出されたデータであり、前記ラッチパルス信号は、前記メモリからのストロブ信号により代用されることを特徴とする。

【0029】

請求項18記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記ラッチ回路は、ラッチパルス信号の立上りエッジと立下りエッジの双方で前記出力データをラッチするものであり、前記ラッチ回路及び前記比較回路は、前記ラッチパルス信号の立上りエッジ用と立下りエッジ用との2組備えられ、前記遅延選択部は1個のみ備えられ、前記遅延選択部により選択された遅延出力データ又は遅延パルス信号が前記立上りエッジ用のラッチ回路に入力され、前記遅延選択部により選択された遅延出力データ又は遅延パルス信号の反転信号が前記立下りエッジ用のラッチ回路に入力されることを特徴とする。

【0030】

請求項19記載の発明は、前記請求項18記載のデータのラッチタイミング調整装置において、前記遅延選択部には前記ラッチパルス信号が入力されることを特徴とする。

【0031】

請求項20記載の発明は、前記請求項18記載のデータのラッチタイミング調整装置において、前記遅延選択部には前記出力データ信号が入力されることを特徴とする。

【0032】

請求項21記載の発明は、前記請求項5記載のデータのラッチタイミング調整装置において、前記出力データは、メモリから読み出されたデータであり、前記チェック用データは、予め、チェック用データ保管部に保管されていて、前記メモリから出力データを読み出す際には、この読み出しに先立って前記チェック用データ保管部に保管されたチェック用データがメモリに書き込まれ、その後、このメモリから前記チェック用データが前記出力データとして読み出されることを特徴とする。

【0033】

請求項 22 記載の発明は、前記請求項 21 記載のデータのラッチタイミング調整装置において、前記チェック用データ保管部に保管されるチェック用データは、メモリの隣接するビット間のクロストークを考慮したパターンで保管されることを特徴とする。

#### 【0034】

以上により、請求項 1～22 記載の発明では、複数のデータがラッチ回路で順次ラッチされる場合には、この各データ毎に遅延量の異なる遅延パルス信号が前記ラッチ回路に入力されて、この遅延パルス信号の受信タイミングで対応するデータがラッチされる。また、同一タイミングのラッチパルス信号がラッチ回路に入力される場合には、複数のデータが各々異なる遅延量に遅延された後、ラッチ回路に入力されて、前記同一タイミングのラッチパルス信号でラッチされる。そして、ラッチ回路のラッチデータと対応するチェック用データとの一致、不一致が比較回路で検出される。従って、ラッチタイミング調整の精度の向上や、ラッチタイミングの調整範囲を拡大する場合であっても、ラッチ回路や比較回路は各 1 個で済むので、回路規模の増大を有効に抑えることができる。

#### 【0035】

特に、請求項 2 記載の発明では、ラッチ回路には同一タイミングのラッチパルス信号が入力されるので、出力データ端子からのデータの出力タイミングも変化しない。従って、前記出力データ端子から出力されたデータをラッチする周辺回路の設計が容易になる。

#### 【0036】

また、請求項 8 記載の発明では、次のラッチタイミングの調整を行うまでの間の周囲温度の変化に予め対応した最適なラッチタイミングを判定することができる。

#### 【0037】

更に、請求項 15 記載の発明では、データが  $n$  ビットのデータである場合に、ラッチ回路は  $n$  個備えられるが、これらラッチ回路のラッチデータが 1 つずつ選択部で選択されながら、比較回路において対応するチェック用データと順次比較されるので、比較回路は 1 個で済み、更に回路規模の拡大を抑制できる。



## 【0038】

加えて、請求項 21 記載の発明では、メモリに予めチェック用データを格納しておく場合には、ノイズ等の影響でそのチェック用データが破壊又は消失することがあるが、ラッチタイミングの調整時には、これに先立ってチェック用データをメモリに書き込み、その後に、これらチェック用データを読み出すので、正常なチェック用データを読み出すことができ、ノイズ等の影響があっても、ラッチタイミングの調整が誤ることが有効に防止される。

## 【0039】

また、請求項 22 記載の発明では、メモリから複数ビットのデータを同時に読み出す場合に、チェック用データ保管部に保管されているチェック用データは、メモリの隣接するビット間のクロストークを考慮したパターンで保管されているので、メモリのビット間の信号変化の影響がある場合においても、最適なラッチタイミングを判定することが可能である。

## 【0040】

## 【発明の実施の形態】

以下、本発明の実施の形態のデータのラッチタイミング調整装置を図面に基づいて説明する。

## 【0041】

## (第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態のデータのラッチタイミング調整装置を示す。同図の調整装置は、メモリ 100 からの出力データ（読み出しデータ）のラッチタイミングを調整するものであり、メモリ 100 以外の回路等は 1 つの L S I に集積されている。

## 【0042】

図 1 において、102 はチェック用データ保管部であって、メモリ 100 からの読み出しデータのラッチタイミング調整を行う際に使用するチェック用データが予め保管される。このチェック用データは、メモリ 100 から複数ビットのデータが同時に読み出される場合には、そのメモリ 100 での隣接するビット間の干渉であるクロストークを考慮したパターンで予め保管される。例えば、ラッチ

タイミング調整を行うビットに対して、このビットに隣接又は近辺の信号が同位相で変化する場合と逆位相で変化する場合とを考慮して保管される。

#### 【0043】

103は書き込み制御部であって、モード選択信号を受け、このモード選択信号が通常動作モードを指示している際には、入力データをメモリ100の所定アドレスに書き込む一方、ラッチタイミング調整モードを指示している際には、前記チェック用データ保管部102に保管されているデータをメモリ100に書き込む。具体的には、書き込み制御部103は、タイミング信号S103a、アドレスS103b、データ（入力データ又はチェック用データ）S103cをメモリ100に与えて、メモリ100の所定のアドレスにこのデータを書き込む。

#### 【0044】

104は読み出し制御部であって、前記モード選択信号を受け、通常動作モード時及びラッチタイミング調整モード時の双方において、タイミング信号s104a及びアドレス信号S104bをメモリ100に与えて、メモリ100から所定のデータs100を読み出すと共に、メモリ100から読み出されたデータをラッチするためのラッチパルス信号s104cを後述する遅延選択部105に出力し、更にラッチタイミング調整モードの終了時には、後述する判定部108及び遅延制御部109に遅延決定信号を出力する。

#### 【0045】

105は遅延選択部であって、直列に接続した複数の遅延回路1051、1052～105nと、選択部105aとを有し、前記読み出し制御部104からのラッチパルス信号s104cをこれ等の遅延回路1051～105nにより順次遅延して遅延値の異なる複数の遅延パルス信号を生成すると共に、これらの遅延回路1051～105nの出力の何れか1つを選択部105aにより選択して、出力する。

#### 【0046】

また、106は1個のラッチ回路であって、前記メモリ100からの読み出しデータs100を受けると共に、前記遅延選択部105の選択部105aにより選択された何れかの遅延回路の遅延パルス信号を受けて、この遅延パルス信号の

受信タイミングで前記メモリ 100 からの読み出しデータ s100 をラッチする。通常動作モード時には、このラッチ回路 106 でラッチされたデータを出力端子 101 から出力する。107 は比較回路であって、前記ラッチ回路 106 によりラッチされた読み出しデータと、前記チェック用データ保管部 102 に保管されている対応データとの一致、不一致を比較する。

#### 【0047】

更に、108 は判定部であって、ラッチタイミング調整モードの終了時に前記読み出し制御部 104 からの遅延決定信号を受けて、前記比較回路 107 での複数の比較結果に基づいて、前記複数の遅延回路 1051 ~ 105n のうち、メモリ 100 からの読み出しデータがラッチ回路 106 で良好にラッチされた場合の 1 つの遅延回路、即ち、最適な遅延量を持つ遅延パルス信号を判定する。

#### 【0048】

ここで、判定部 108 での具体的な判定方法を説明する。比較回路 107 での複数の比較結果のうち、両データが一致した比較結果が 1 つの場合には、これに対応する遅延回路の遅延パルス信号を最適と判定する。また、両データが一致した比較結果が所定個連続する場合には、それらの連続する一致判定に対応する複数の遅延回路の中心、即ち、最も安定した遅延パルス信号を最適と判定したり、それらに対応する遅延回路のうち最も前段に位置する遅延回路の遅延パルス信号を最適と判定しても良い。最も前段に位置する遅延回路を選択する場合には、メモリ 100 からの読み出しデータのラッチタイミングを速くすることができる。更に、比較回路 107 での複数回の比較結果に基づいて、その中から選択される確率が高い 1 つの比較結果を選択し、この選択した比較結果に対応する遅延回路の遅延パルス信号を最適と判定するなど、数回分の判定結果を総合しても良い。例えば、比較回路 107 での複数回（例えば 5 回）の比較結果を記憶し、これ等の比較結果のうち、両データが一致した比較結果が所定回（例えば 3 回）連続していたり、不連続でも所定回（例えば 4 回）含まれている場合には、この場合に初めて、選択する遅延回路を更新するようにしても良い。この場合には、ノイズ等の影響で誤判定される場合を除去することができ、安定した動作を得ることができる。加えて、両データが一致した比較結果が所定個連続する場合に、メモリ

100が使用される地域が寒冷地か温暖地か等の環境、又はメモリ100の周囲に発熱する電気機器が存在するかどうか等に応じて、1つの遅延回路を適宜選択することが可能である。例えば、遅延パルス信号の遅延が読み出しデータの遅延よりも大きい場合に、メモリ100の周囲温度が電気機器の動作に伴い上昇すると、遅延パルス信号と読み出しデータとの遅延差は拡大することを予め考慮し、見越して、選択可能な複数の遅延回路のうち中心に位置する遅延回路よりもその周囲温度の変化の傾向を考慮した側に偏った、すなわち、遅延量が小さい側の遅延パルス信号を出力する（即ち、より前段側の）遅延回路を選択する。

#### 【0049】

また、図1において、109は遅延制御部であって、ラッチタイミング調整モードの最中では、複数の遅延回路1051～105nのうち順次先頭から1つずつを選択するように選択部105aを制御して、前回とは異なる遅延量の遅延パルス信号を出力させると共に、ラッチタイミング調整モードの終了時には、前記読み出し制御部104から遅延決定信号を受けて、判定部108で判定された何れかの遅延回路の出力（即ち、最適な遅延パルス信号）を選択するように、選択部105aを制御する。

#### 【0050】

次に、図1に示したデータのラッチタイミング調整装置のラッチタイミング調整について説明する。

#### 【0051】

先ず、予め、ラッチタイミング調整を行う場合にメモリ100にチェック用データ保管部102のチェック用データを格納するアドレスが決められる。

#### 【0052】

次に、メモリ100からの読み出しデータのラッチタイミング調整時には、モード選択信号がラッチタイミング調整モードを指示するように変更される。このラッチタイミング調整モードへの指示は、例えば、電源投入毎に行ったり、設定時間をカウントして周期的に行ったり、又は、メモリ100からの読み出しデータが映像信号の場合には、1フィールド毎に行うことも可能であり、更にはこれ等を組合せて行っても良い。このラッチタイミング調整時には、書き込み制御部

103 から、チェック用データ保管部 102 のチェック用データ s103c と、これをメモリ 100 に格納するアドレス s103b と、書き込みタイミング信号 s103a とをメモリ 100 に与えて、メモリ 100 の所定アドレスにチェック用データ s103c を書き込む。これ等の動作を繰り返して、チェック用データ保管部 102 の複数のチェック用データ s103c をメモリ 100 に書き込む。このように、読み出しデータのラッチタイミング調整を行う際には、そのタイミング調整毎に、そのタイミング調整に先立ってチェック用データ保管部 102 の複数のチェック用データ s103c をメモリ 100 に書き込む。

#### 【0053】

その後、読み出し制御部 104 により、チェック用データを格納したアドレスを指定するアドレス信号 s104b と、読み出しタイミング信号 s104a とをメモリ 100 に与えて、メモリ 100 からチェック用データを読み出すと共に、遅延選択部 105 に対してラッチパルス信号 s104c を出力する。そして、メモリ 100 に書き込んだ複数のデータが順次読み出されるように、以上の動作を複数回繰り返す。この間、遅延制御部 109 は、読み出し制御部 104 から制御信号を受けて、メモリ 100 からデータが読み出される毎に順次遅延選択部 105 内で先頭に位置する遅延回路 1051 から順に遅延回路の遅延パルス信号を選択するように、選択部 105a に対して遅延選択信号を出力する。

#### 【0054】

その結果、ラッチ回路 106 は、当初は、メモリ 100 から最初の読み出しデータを受けると共に、遅延選択部 105 からは先頭の遅延回路 1051 からの遅延パルス信号を受けて、この遅延パルス信号の受信タイミングで前記最初の読み出しデータをラッチし、次いでメモリ 100 から受けた第 2 番目の読み出しデータを遅延選択部 105 内の第 2 番目の遅延回路 1052 からの遅延パルス信号の受信タイミングでラッチし、その後は、順次、第 k (k=3~n) 番目の読み出しデータを第 k 番目の遅延パルス信号の受信タイミングでラッチする。

#### 【0055】

比較回路 107 では、ラッチ回路 106 のラッチデータと、このラッチデータに対応するチェック用データ保管部 102 内のチェック用データとを比較し、両

信号の一致、不一致を検出することを順次繰り返す。ラッチタイミング調整の終了時には、読み出し制御部 104 から遅延決定信号が判定部 108 に出力される。この判定部 108 では、前記比較回路 107 での複数の比較結果に基づいて、遅延選択部 105 の複数の遅延回路 1051～105nの中から、ラッチ回路 106 が読み出し信号を適切にラッチした場合の 1 つの遅延回路を判定する。この遅延回路の判定、すなわち最適なタイミングが判定されると、遅延制御部 109 は、読み出し制御部 104 から遅延決定信号を受けて、前記判定部 108 が判定した 1 つの遅延回路の出力を最適な遅延パルス信号として選択するように、選択部 105a を制御する。

#### 【0056】

その後、モード選択信号が通常動作モードを指示するように変更されると、メモリ 100 からの読み出しデータは、ラッチ回路 106 において、遅延選択部 105 の選択部 105a で選択された最適な遅延パルス信号の受信タイミングでラッチされて、出力端子 101 から出力されることになる。

#### 【0057】

ここに、遅延選択部 105 では、複数の遅延回路 1051～105nにより複数の遅延パルス信号が生成されるが、ラッチタイミング調整の精度の向上やタイミング調整範囲の拡大化のために、多数個の遅延回路を設ける場合であっても、これ等の遅延パルス信号は順次選択部 105a により 1 つずつ選択されて、ラッチ回路 106 に入力されるので、ラッチ回路 106 及び比較回路 107 は各 1 個で済み、多数個のラッチ回路及び比較回路を設ける必要がない。従って、遅延回路の個数を増やす僅かな回路増加のみで、ラッチタイミング調整の精度の向上、及びタイミング調整範囲の拡大化を図ることができる。

#### 【0058】

また、チェック用データ保管部 102 に保管されるチェック用データは、メモリ 100 での隣接するビット間のクロストークを考慮したパターンで予め保管されているので、例えば隣接するビット同士が同位相で変化した場合にはデータの変化は速くなり、逆に、逆位相で変化した場合にはデータの変化は遅くなるが、これ等を考慮したラッチタイミング調整が可能である。

## 【0059】

(第1の実施の形態の第1の変形例)

次に、前記第1の実施の形態の第1の変形例を図2に基づいて説明する。本変形例では、遅延選択部105の構成を変更したものである。

## 【0060】

すなわち、図2において、遅延選択部105は、選択部105aと、DLL (Delay Locked Loop) 回路105bとを備えており、前記図1に示した複数の遅延回路1051~105nはDLL回路105bで構成される。

## 【0061】

前記DLL回路105bの内部構成を図3に示す。同図において、DLL回路105bは、温度や電圧などの条件が変化しても遅延量を一定に保持する機能を有しており、複数の遅延バッファ105c1~105cnと、位相検出器105dと、チャージポンプ及びローパスフィルタ105eと、バイアス回路105fとを備え、前記複数の遅延バッファ105c1~105cnの各出力が複数の遅延パルス信号として選択部105aに出力される。

## 【0062】

従って、本変形例では、複数の遅延パルス信号をDLL回路105bにより生成するので、精度の高いラッチタイミング調整を行うことが可能である。

## 【0063】

(第1の実施の形態の第2の変形例)

続いて、前記第1の実施の形態の第2の変形例を図4に基づいて説明する。本変形例では、メモリ100がクロック信号CLKに同期して動作するSDRAMで構成された場合の変形例を示す。

## 【0064】

図4では、メモリ100がクロック信号CLKに同期して動作するのに着目して、このクロック信号CLKをラッチパルス信号の代用として遅延選択部105に入力している。

## 【0065】

従って、本変形例では、図1のように読み出し制御部104がラッチパルス信号を生成する必要がなく、読み出し制御部104の回路構成を簡易にできる。

#### 【0066】

(第1の実施の形態の第3の変形例)

続いて、前記第1の実施の形態の第3の変形例を図5に基づいて説明する。本変形例では、メモリ100が、データと、このデータを取り込むためのストローブ信号とを出力するメモリで構成された場合の変形例を示す。

#### 【0067】

図5では、メモリ100が、データs100と共に、1又は複数のストローブ信号(DQS信号)をも出力する構成であるので、このストローブ信号をラッチパルス信号として遅延選択部105に入力している。前記ストローブ信号は、複数の場合には、例えば読み出しデータが32ビットの場合には、8ビット毎に1つのストローブ信号が対応し、合計4つのストローブ信号が出力される。

#### 【0068】

従って、本変形例においても、読み出し制御部104がラッチパルス信号を生成する必要がなく、読み出し制御部104の回路構成を簡易にできる。更に、ストローブ信号はデータを取り込むタイミングを指示する信号であるので、遅延選択部105が備える遅延回路の個数を少なく制限することが可能である。

#### 【0069】

(第1の実施の形態の第4の変形例)

続いて、前記第1の実施の形態の第4の変形例を図6に基づいて説明する。本変形例は、メモリ100からの読み出しデータs100がn(nは2以上の整数)ビットのデータで構成される場合の変形例を示す。

#### 【0070】

すなわち、図6において、メモリ100がnビットの読み出しデータs100を出力するのに伴い、ラッチ部606にはn個のラッチ回路6061~606nが備えられると共に、比較部607にもn個の比較回路6071~607nが備えられる。また、チェック用データ保管部602には、nビットの読み出しデータs100に対応して複数組のnビットのチェック用データが予め保管される。



前記各ラッチ回路 6061～606n は、メモリ 100 からの n ビットの読み出しデータのうち対応するビット目のデータを受けると共に、遅延選択部 105 の選択部 105a で選択された遅延パルス信号を受けて、この遅延パルス信号の受信タイミングで対応するビット目のデータをラッチする。遅延選択部 105 では、選択部 105a は、メモリ 100 から最初の 1 組の n ビットデータが読み出される際には先頭の遅延回路 1051 の遅延パルス信号を選択し、以後、メモリ 100 から次の 1 組の n ビットデータが読み出される際には 1 つ後段の遅延回路の遅延パルス信号を選択する。

#### 【0071】

更に、前記各比較回路 6071～607n は、チェック用データ保管部 102 に保管された各組のチェック用データ毎に、その n ビットのチェック用データのうち対応するビット目のデータを受けると共に、n 個のラッチ回路 6061～606n のうち対応するラッチ回路のラッチデータを受け、この両データを比較して、その一致、不一致を検出する。

#### 【0072】

更に、判定部 108 は、前記 n 個の比較回路 6071～607n から、各組毎に n 個の比較結果を受けて、n 個の比較結果の全てが「一致」である場合の選択部 105a の選択状態、すなわち、複数個の遅延回路 1061～106n のうち最適遅延パルス信号を出力している 1 つの遅延回路を判定する。その他の構成は、前記第 1 の実施の形態と同様であるので、その説明を省略する。

#### 【0073】

従って、本変形例においては、メモリ 100 からの読み出しデータが例えば 3 (n=3) ビットのデータである場合には、この 1 組の 3 ビットデータを同一遅延の遅延パルス信号でラッチし、他の各組の 3 ビットデータに対しては、次の組に進む毎に遅延量を順次大きく変更した遅延パルス信号でラッチすることを繰り返して、3 ビットのデータの全てが正常にラッチできる際の遅延パルス信号の中から最適な遅延パルス信号を選択する。

#### 【0074】

(第 1 の実施の形態の第 5 の変形例)

続いて、前記第1の実施の形態の第5の変形例を図7に基づいて説明する。本変形例は、前記図6に示した第4の変形例を改良したものである。

#### 【0075】

すなわち、図6では、比較部607にn個の比較回路6071～607nを設けたが、本変形例では、1個の比較回路707のみが設けられ、n個のラッチ回路6061～606nで比較回路707が共用される。更に、この比較回路707の前段には選択部710が配置される。この選択部710は、読み出し制御部104により制御されて、n個のラッチ回路6061～606nでのラッチ動作が終了すると、これらラッチ回路6061～606nを先頭から順次1つずつ選択して、その選択したラッチ回路のラッチデータを比較回路707に出力する。

#### 【0076】

従って、本変形例では、メモリ100から1組のnビットデータが読み出されて、n個のラッチ回路6061～606nでラッチされると、これらのラッチ回路が1個ずつ選択部710で順次選択されながら比較回路707に出力されて、この比較回路において1ビットずつラッチデータとチェック用データとの一致、不一致が比較される。比較回路707により1組の全ビットで比較結果が得られると、次の1組のnビットデータをメモリ100から読み出すように、読み出し制御部104がメモリ100に対してタイミング信号S104aを出力する。

#### 【0077】

本変形例では、選択部710が別途設けられるものの、比較回路707の個数がn個から1個に削減されるので、回路構成を簡易にできる。

#### 【0078】

(第2の実施の形態)

次に、本発明の第2の実施の形態のデータのラッチタイミング調整装置を図面に基づいて説明する。

#### 【0079】

図8は、本発明の第2の実施の形態のデータのラッチタイミング調整装置を示す。本実施の形態は、遅延選択部105の配置位置を変更したものである。

#### 【0080】

すなわち、既述した図1では、遅延選択部105は読み出し制御部104からのラッチパルス信号をラッチ回路106に入力する経路に配置して、複数の遅延量の遅延パルス信号を生成したが、本実施の形態では、遅延選択部105の配置位置を、メモリ100からの読み出しデータをラッチ回路106に入力する経路に変更して、読み出しデータを複数の遅延量で遅延して複数の遅延出力データを生成するようにしたものである。その他の構成は、図1と同様であるので、その説明を省略する。

#### 【0081】

従って、本実施の形態では、第1の実施の形態と同様の作用効果を奏する。更に、本実施の形態では、読み出し制御部104から出力されるラッチパルス信号はそのままラッチ回路106に入力されるので、ラッチ回路106でのラッチタイミングは変化せず、従って、出力端子101から出力される読み出しデータの出力タイミングも変化しないので、この読み出しデータをラッチする周辺回路の設計が容易になる効果をも奏する。

#### 【0082】

尚、図示しないが、図8に示した本実施の形態について、更に、図2、図4及び図5と同様の変形を加えても良いのは勿論である。

#### 【0083】

(第2の実施の形態の第1の変形例)

続いて、前記第2の実施の形態の第1の変形例を図9に基づいて説明する。本変形例は、既述した図6と同様に、メモリ100からの読み出しデータs100がn (nは2以上の整数) ビットのデータで構成される場合の変形例を示す。

#### 【0084】

すなわち、図9では、ラッチ部606にはn個のラッチ回路6061～606nが備えられると共に、比較部607にもn個の比較回路6071～607nが備えられる。更に、遅延選択部105の配置位置が、メモリ100からの読み出しデータをラッチ回路106に入力する経路に変更されているのに伴い、メモリ100からのnビットのデータの読み出し線路には、n個の遅延選択部10051～1005nが配置される。



## 【0085】

その他の構成は、図6と同様であるので、その説明を省略する。

## 【0086】

(第2の実施の形態の第2の変形例)

図10は、前記第2の実施の形態の第2の変形例を示す。本変形例では、既述した図7と同様に、前記第1の変形例を示した図9においてn個設けられた比較回路6071～607nを1個に削減したものである。

## 【0087】

(第3の実施の形態)

続いて、本発明の第3の実施の形態を説明する。

## 【0088】

図11は、本発明の第3の実施の形態のデータのラッチタイミング調整装置を示す。本実施の形態は、メモリ100が信号の両エッジに同期して動作するDDR (Double Data Rate) -SDRAMで構成される場合の実施の形態を示す。

## 【0089】

すなわち、図11では、メモリ100は、クロック信号CLKを受け、このクロック信号CLKの立上りエッジ及び立下りエッジに同期してデータを出力する。このため、本実施の形態では、2つの遅延選択部105A、105Bが備えられていて、前記クロック信号CLKがラッチパルス信号としてそのまま一方の遅延選択部105Aに入力されると共に、前記クロック信号CLKがインバータINVを経て反転されて他方の遅延選択部105Bに入力される。従って、前記一方の遅延選択部105Aは、クロック信号CLKの立上りエッジでの読み出しデータのラッチ用であり、他方の遅延選択部105Bは、クロック信号CLKの立下りエッジでの読み出しデータのラッチ用である。

## 【0090】

前記2つの遅延選択部105A、105Bに対応して、一方の遅延選択部105Aには、ラッチ回路106A、比較回路107A、判定部108A、遅延制御部109A及び出力端子101Aが配置され、他方の遅延選択部105Bにも、

ラッチ回路106B、比較回路107B、判定部108B、遅延制御部109B及び出力端子101Bが配置される。

#### 【0091】

従って、本実施の形態では、クロック信号CLKの立上りエッジでのデータ読み出し用と、立下りエッジでのデータ読み出し用との双方を合わせて、2組の遅延選択部105A、105Bが配置されるので、クロック信号CLKの立上りエッジに同期した読み出しデータのラッチと、立下りエッジに同期した読み出しデータのラッチとを、各々、異なる遅延選択部105A、105Bを用いて最適なラッチタイミングに調整することができて、より精度の高いラッチタイミング調整が可能である。

#### 【0092】

(第3の実施の形態の第1の変形例)

図12は、前記第3の実施の形態の第1の変形例を示し、メモリ100がデータとストロブ信号とを出力するメモリで構成された場合の変形例である。

#### 【0093】

すなわち、図12では、クロック信号CLKに代えて、メモリ100からのストロブ信号DQSをラッチパルス信号として直接に一方の遅延選択部105Aに入力すると共に、前記ストロブ信号DQSをラッチパルス信号としてインバータINVを介して他方の遅延選択部105Bに入力している。その他の構成は図11と同様であるので、同一部分についてはその説明を省略する。

#### 【0094】

(第3の実施の形態の第2の変形例)

図13は、前記第3の実施の形態の第2の変形例を示す。本変形例は、前記図11に示した第3の実施の形態を更に改良したものである。

#### 【0095】

即ち、前記図11では2つの遅延選択部105A、105Bを設けたのに対し、本変形例では、1つの遅延選択部105のみを設け、その出力を直接にラッチ回路106Aに出力する一方、前記出力をインバータINVを介してラッチ回路106Bに出力したものである。尚、図13では、クロック信号CLKに代えて

、読み出し制御部 104 がラッチパルス信号 s104c を遅延選択部 105 に出力している。

#### 【0096】

従って、本変形例では、ラッチパルス信号 s104c の立上りエッジに同期した読み出しデータのラッチと、立下りエッジに同期した読み出しデータのラッチとが、共通の遅延選択部 105 を用いて 1 つの適切なラッチタイミングに調整されるものの、このように遅延選択部 105、判定部 108 及び遅延制御部 109 を共用化できるので、その分、回路構成を簡易にできる効果を奏する。

#### 【0097】

(第 3 の実施の形態の第 3 の変形例)

図 14 は、前記第 3 の実施の形態の第 3 の変形例を示す。本変形例は遅延選択部 105 の配置位置を変更したものである。

#### 【0098】

すなわち、図 14 では、信号の両エッジに同期して動作するメモリ 100 を前提として、2 つの遅延選択部 105A、105B と、2 つのラッチ回路 106A、106B と、2 つの比較回路 107A、107B と、2 つの遅延制御部 109A、109B とが設けられる。一方の遅延選択部 105A は、メモリ 100 からの読み出しデータを一方のラッチ回路 106A に入力する経路に配置され、他方の遅延選択部 105B は、メモリ 100 からの読み出しデータを他方のラッチ回路 106B に入力する経路に配置される。

#### 【0099】

更に、読み出し制御部 104 はラッチパルス信号 s104c を出力し、このラッチパルス信号 s104c は、その立上りエッジと立下りエッジの双方でデータをラッチするように、直接に一方のラッチ回路 106A に入力されると共に、インバータ INV を介して他方のラッチ回路 106B に入力される。

#### 【0100】

従って、本変形例では、前記第 3 の実施の形態やその第 1 の変形例と同様の作用効果を奏する。

#### 【0101】

#### (第4の実施の形態)

次に、本発明の第4の実施の形態を図15に基づいて説明する。本実施の形態では、以上の説明がメモリとメモリ制御回路(LSI)との間のデータの授受について説明したのに対して、2個のLSI間のデータの授受について適用したものである。

##### 【0102】

即ち、図15において、200は第1のLSI、201は第2のLSIである。前記第1のLSI 200には、データのラッチタイミング調整用のチェック用データ200aが予め保持されると共に、内部には、選択部200bと、ラッチ回路200cとが備えられる。前記選択部200bは、モード選択信号を受け、このモード選択信号が通常動作モードを指示する場合には、通常動作時に入力されるデータを選択し、ラッチタイミング調整を指示する場合には、前記チェック用データ200aを選択する。前記ラッチ回路200cは、前記選択部200bが選択したデータをラッチして第2のLSI 201に出力する。前記第1のLSI 200は、前記ラッチ回路200cのラッチデータと共に、クロック信号CLKをも第2のLSI 201に出力する。

##### 【0103】

前記第2のLSI 201には、図1で既述したと同様に、遅延選択部105と、ラッチ回路106と、比較回路107と、判定部108と、遅延制御部109とを備える。更に、第2のLSI 201には、第1のLSI 200が保持するラッチタイミング調整用のチェック用データ200aと同一のラッチタイミング調整用のチェック用データ110が予め保持される。この第2のLSI 201では、前記第1のLSI 200からのクロック信号CLKが遅延選択部105に入力される。また、第2のLSI 201のラッチ回路106は、前記第1のLSI 200からのデータを受けると共に、遅延選択部105の選択部105aにより選択された遅延パルス信号を受けて、この遅延パルス信号の受信タイミングで前記第1のLSI 200からのデータをラッチする。また、比較回路107は、ラッチタイミング調整モード時には、ラッチ回路106からのラッチデータと、このラッチデータに対応する内部のチェック用データ110とを受けて、両者の一致

比較を行うことを繰り返す。更に、判定部108は、前記モード選択信号を受けて、ラッチタイミング調整モード時には、比較回路107での比較動作の繰り返しが終了した後、その複数の比較結果を判定し、遅延選択部105での最適な1つの遅延回路を選定する。また、遅延制御部109は、前記モード選択信号を受けて、ラッチタイミング調整モードの最中には、既述したように先頭の遅延回路1051から順番に1個ずつを選択すると共に、ラッチタイミング調整モードの終了時には、前記判定部108での判定結果に従って、判定部108が選定した1個の遅延回路を選択するように選択部105aを制御する。

#### 【0104】

尚、前記第1及び第2のLSI200、201には、予め、チェック用データ200a、110が保持されていて、比較回路107での比較動作の繰り返しの終了を判別してラッチタイミング調整モードの終了を認識できるので、図1に示した第1の実施の形態で説明したような遅延決定信号は不要である。

#### 【0105】

従って、本実施の形態においても、2つのLSI200、201間でのデータ送受信においても、受信側のLSI201内に遅延選択部105を設けて、ラッチ回路106及び比較回路107を各々1個設けるだけでデータのラッチタイミング調整を自動で行うことができる。

#### 【0106】

尚、本実施の形態では、遅延選択部105からの遅延パルス信号の立上りエッジでデータをラッチ回路106でラッチしたが、遅延パルス信号の立上り及び立下りの両エッジでデータをラッチする構成を採用しても良いのは勿論である。更に、クロック信号CLKをラッチパルス信号として遅延選択部105に入力したが、クロック信号CLKに代えて、第1のLSI200からのデータを遅延選択部105に入力して遅延パルス信号を生成しても良い。また、第1のLSI200からのデータをnビット構成としても良い。これ等の場合には、既述した実施の形態及び変形例の各種変更が同様に適用できる。更に、判定部108の判定方法についても、既述した判定方法が同様に適用できる。

#### 【0107】



**【発明の効果】**

以上説明したように、請求項1～22記載の発明のデータのラッチタイミング調整装置によれば、1個のラッチ回路のみでデータの適切なラッチタイミングを検出、調整したので、ラッチタイミング調整の精度の向上や、ラッチタイミングの調整範囲を拡大する場合であっても、ラッチ回路の個数は増やす必要がなく、回路規模の増大を有効に抑えることができる。

**【0108】**

特に、請求項2記載の発明によれば、ラッチパルス信号を常に同一タイミングに保持しながら、データのラッチタイミングを調整したので、このラッチタイミングの調整の前後に拘わらず、出力データ端子からのデータ出力タイミングを同一タイミングに保持できて、出力データ端子から出力されたデータをラッチする周辺回路の設計を容易にできる。

**【0109】**

また、請求項8記載の発明によれば、周囲温度が変化する状況であっても、この周囲温度の変化に予め対応したデータの最適なラッチタイミングを判定することが可能である。

**【0110】**

更に、請求項15記載の発明によれば、データがnビットのデータである場合にも、ラッチ回路でラッチされたn個のラッチデータを順次1つずつ選択しながら、比較回路において対応するチェック用データと比較したので、設ける比較回路は1個だけで済み、回路規模の拡大を一層抑制できる。

**【0111】**

加えて、請求項21記載の発明によれば、ラッチタイミングの調整時には、これに先立ってチェック用データをメモリに書き込み、その後に、これらチェック用データを読み出したので、予めメモリにチェック用データを格納しておく場合のようにノイズ等の影響でチェック用データが破壊又は消失することがなく、ノイズ等の影響を受けることなく、適切なラッチタイミングの調整が可能である。

**【0112】**

また、請求項22記載の発明によれば、メモリから複数ビットのデータを同時

に読み出す場合に、チェック用データ保管部に保管すべきチェック用データを、メモリの隣接するビット間のクロストークを考慮したパターンで保管したので、メモリのビット間の信号変化の影響がある場合であっても、最適なラッチタイミングの判定が可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施の形態の第 1 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 3】

同変形例のデータのラッチタイミング調整装置に備える D L L 回路の内部構成を示すブロック図である。

【図 4】

本発明の第 1 の実施の形態の第 2 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 5】

本発明の第 1 の実施の形態の第 3 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 6】

本発明の第 1 の実施の形態の第 4 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 7】

本発明の第 1 の実施の形態の第 5 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

【図 8】

本発明の第 2 の実施の形態のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 9】**

本発明の第 2 の実施の形態の第 1 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 10】**

本発明の第 2 の実施の形態の第 2 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 11】**

本発明の第 3 の実施の形態のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 12】**

本発明の第 3 の実施の形態の第 1 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 13】**

本発明の第 3 の実施の形態の第 2 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 14】**

本発明の第 3 の実施の形態の第 3 の変形例のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 15】**

本発明の第 4 の実施の形態のデータのラッチタイミング調整装置の構成を示すブロック図である。

**【図 16】**

従来のデータのラッチタイミング調整装置の構成を示すブロック図である。

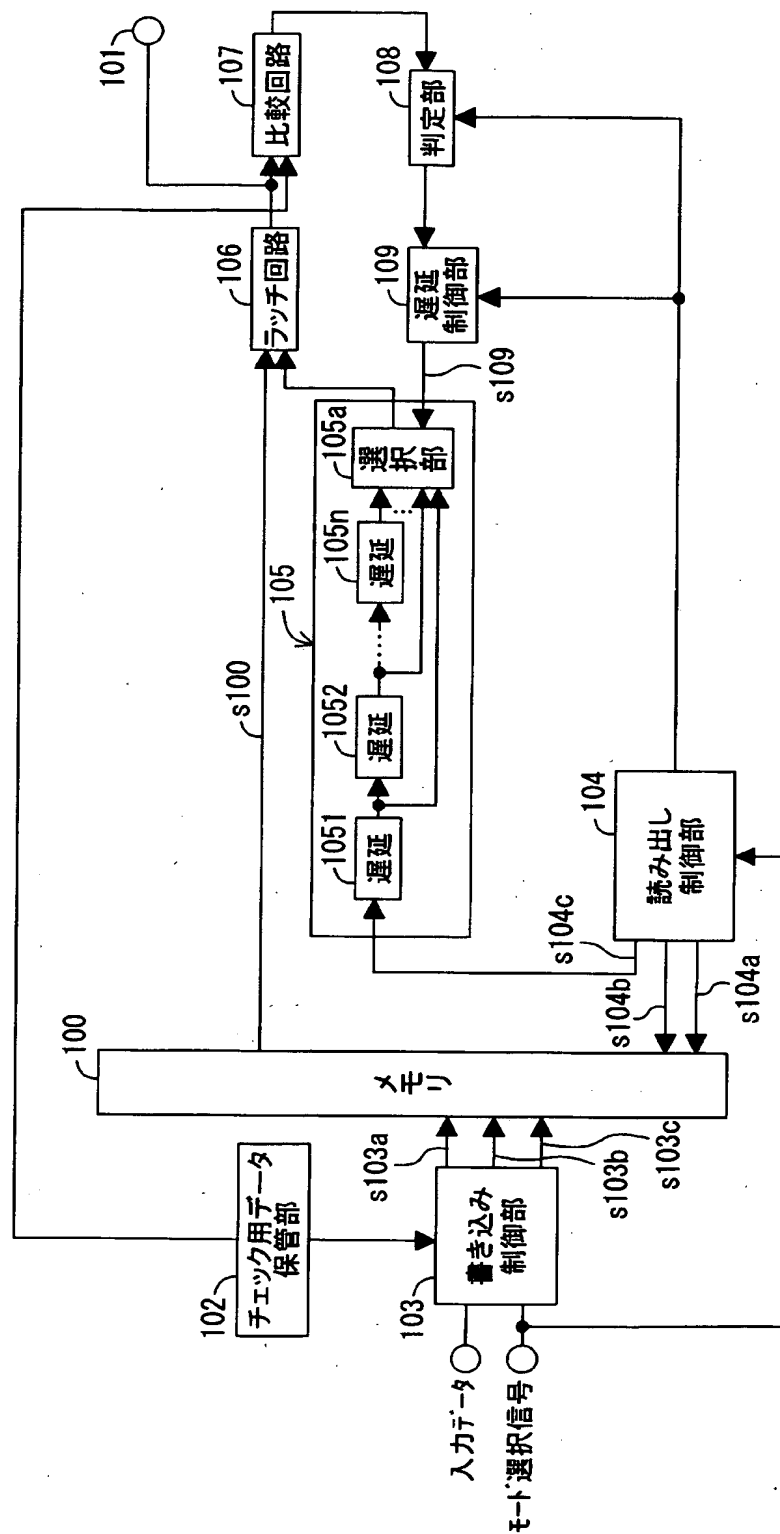
**【符号の説明】**

100	メモリ
s100	nビットのデータ
101	出力端子
102	チェック用データ保管部
103	書き込み制御部

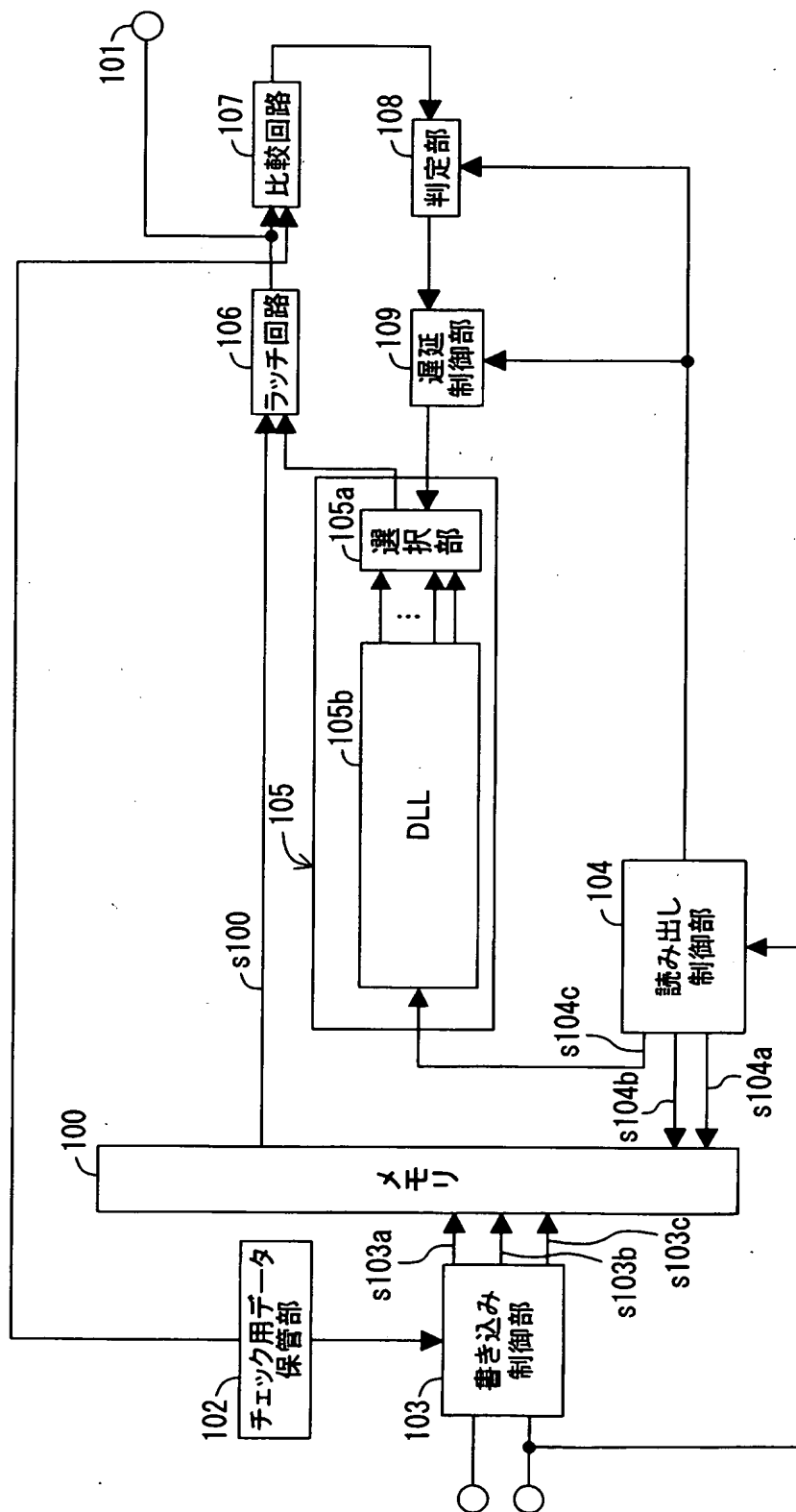
104	読み出し制御部
s104c	ラッチパルス信号
105、105A、105B	
10051~1005n	遅延選択部
105a	選択部
1051~105n	遅延回路
106、106A、106B	ラッチ回路
107、107A、107B	比較回路
108、108A、108B	判定部
109、109A、109B	遅延制御部
110、200a	チェック用データ
200	第1のLSI
201	第2のLSI
606	ラッチ部
6061~606n	ラッチ回路
607	比較部
6071~607n、707	比較回路
710	選択部
CLK	クロック信号
QDS	ストロブ信号

【書類名】 図面

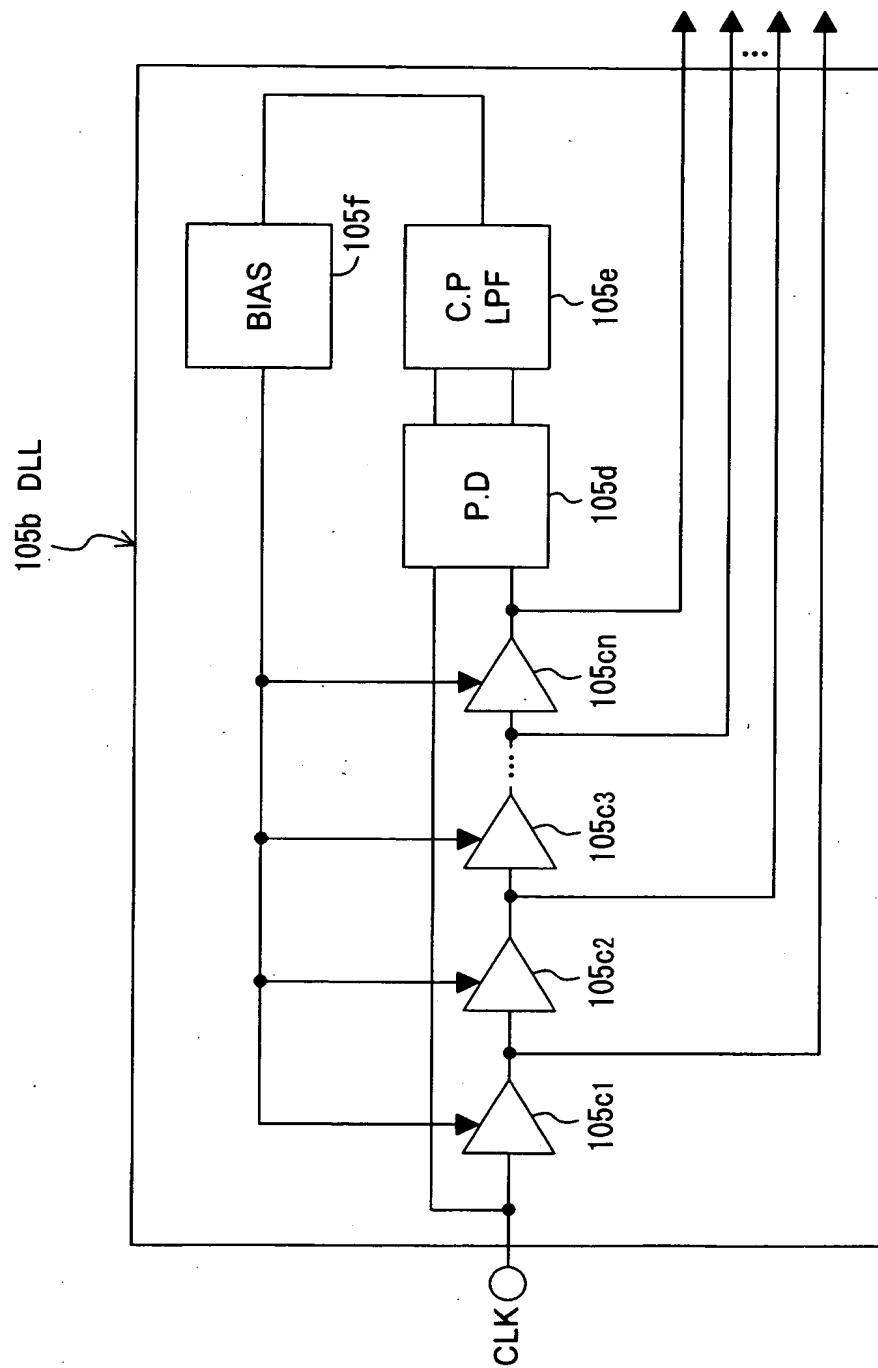
【図 1】



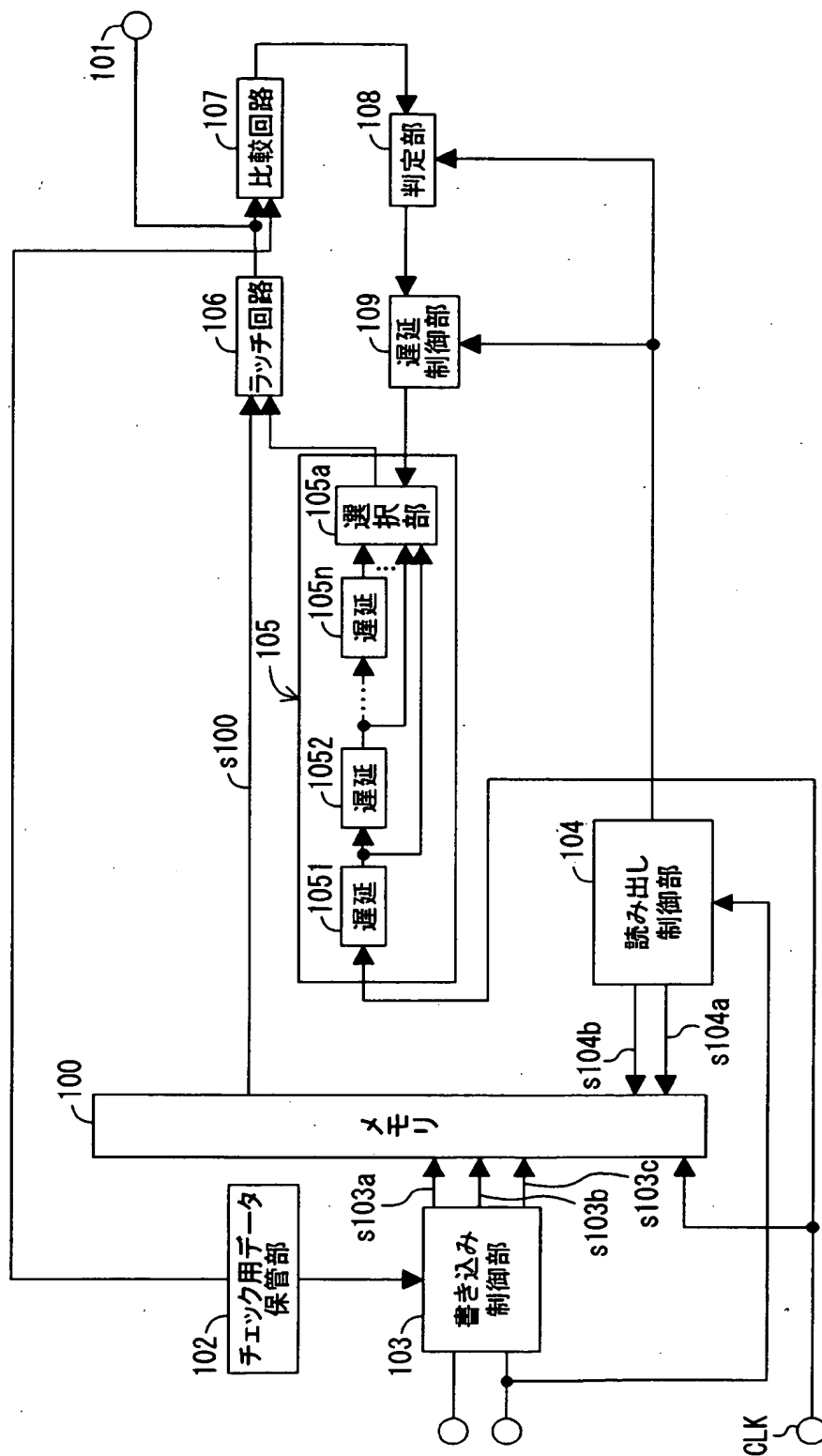
【図 2】



【図 3】

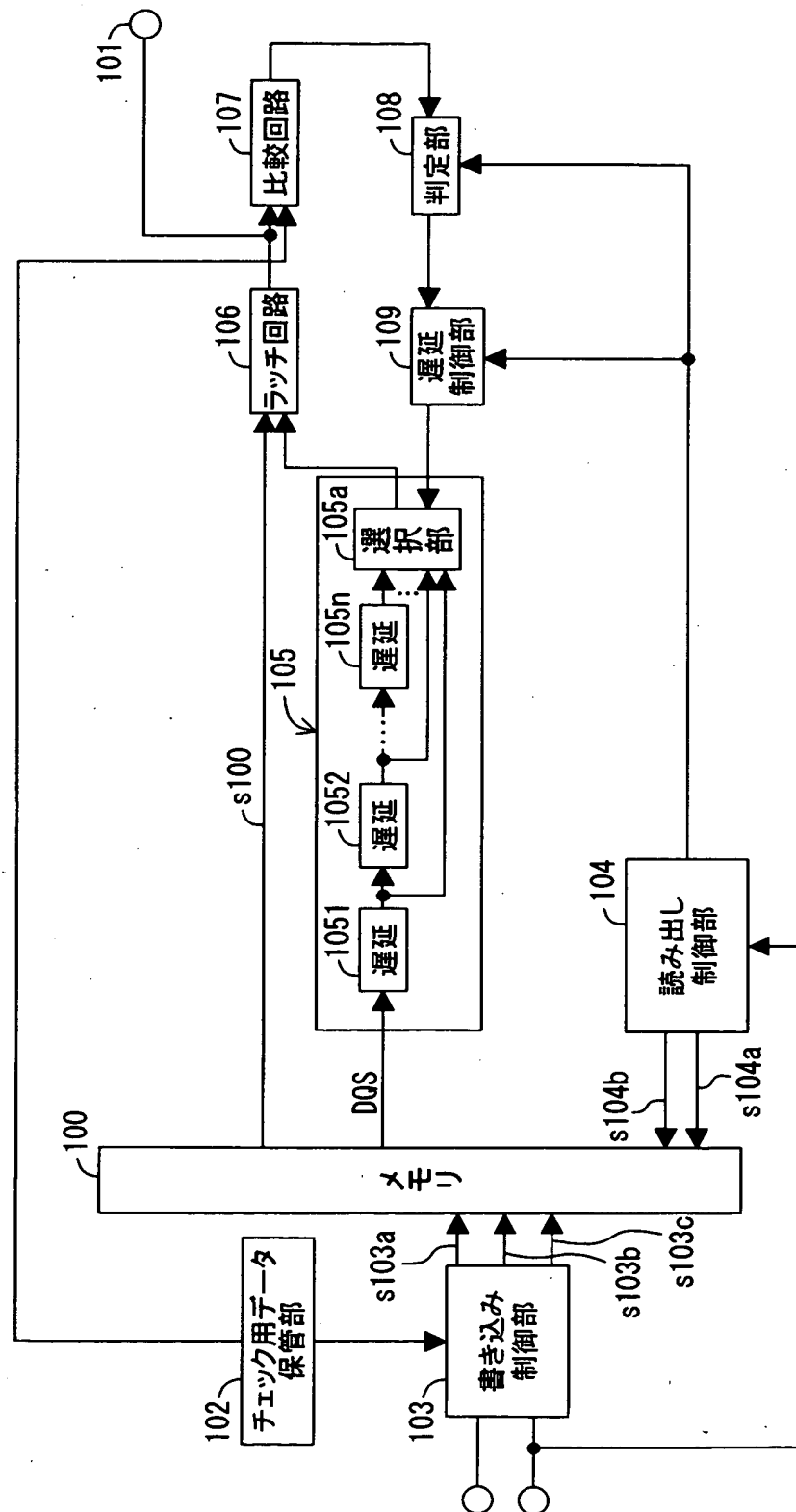


【図 4】

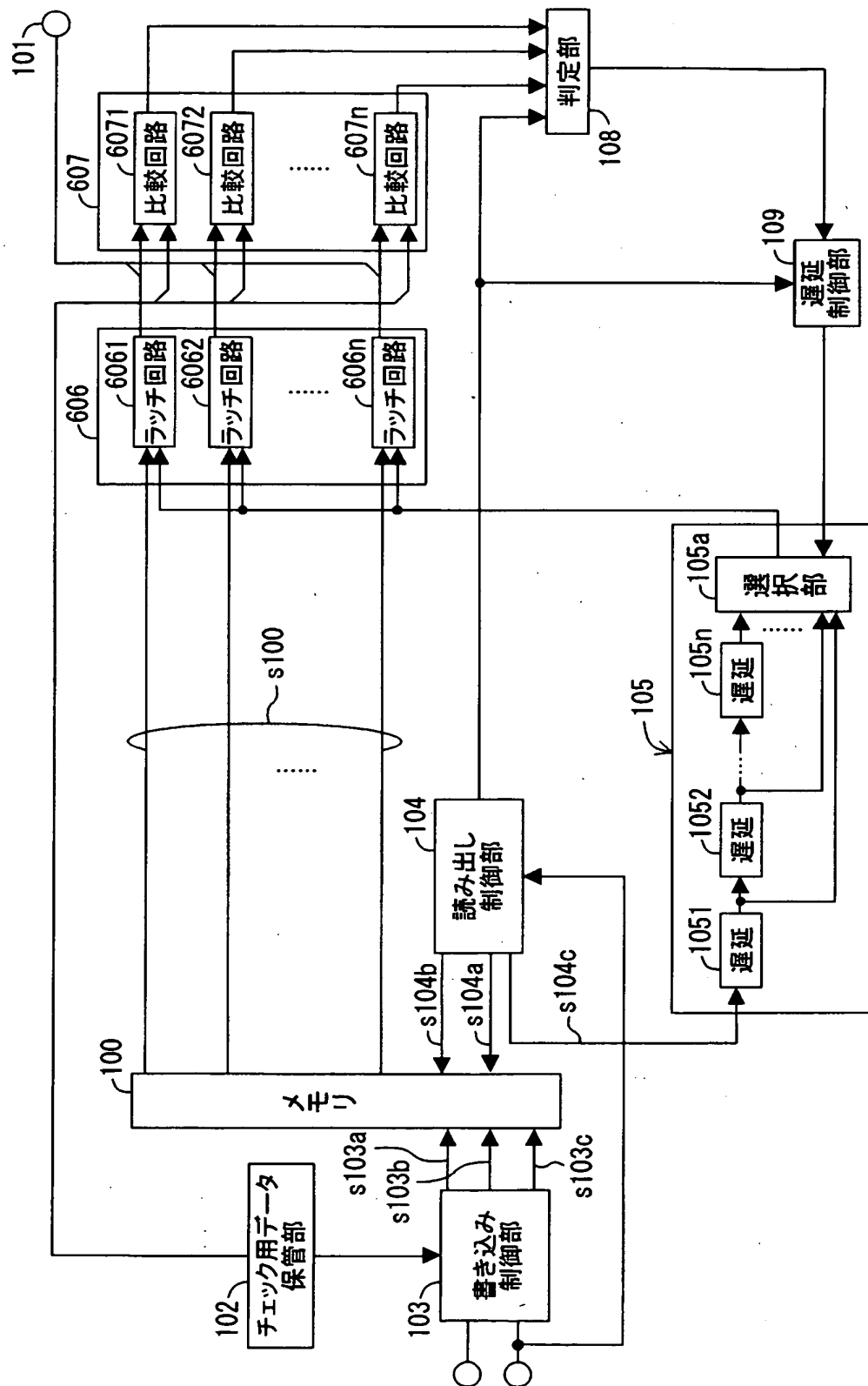




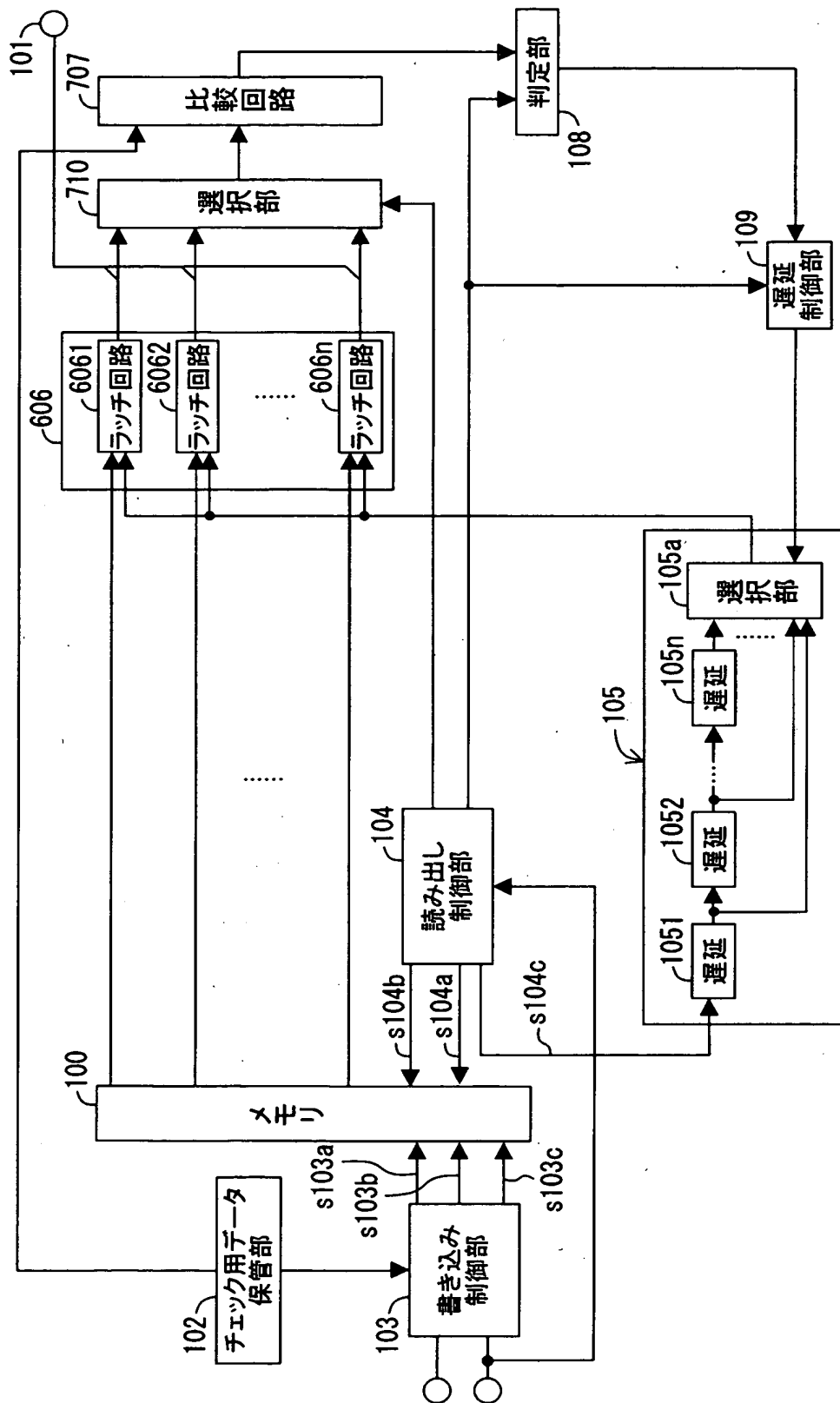
【図 5】



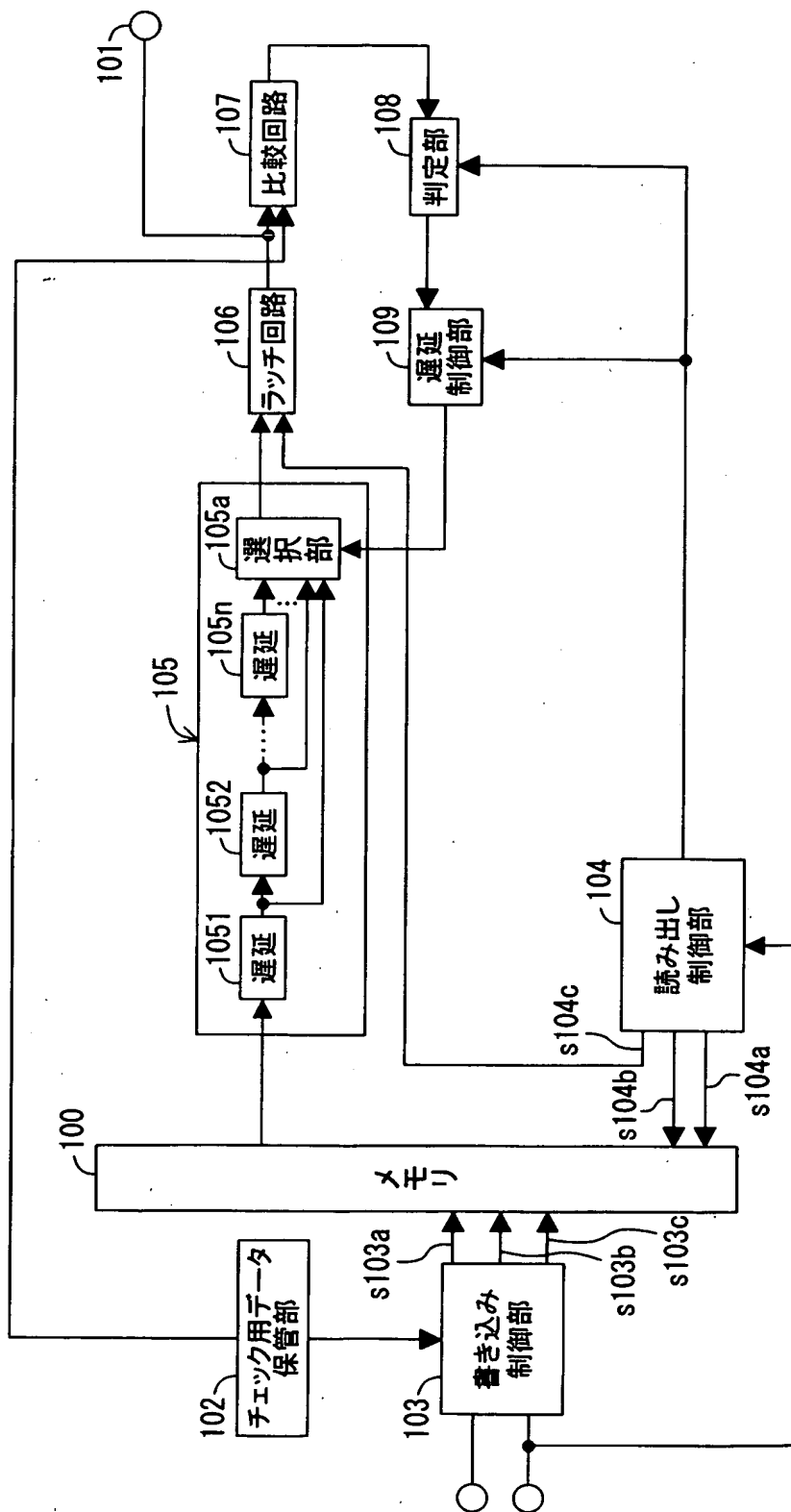
【図 6】



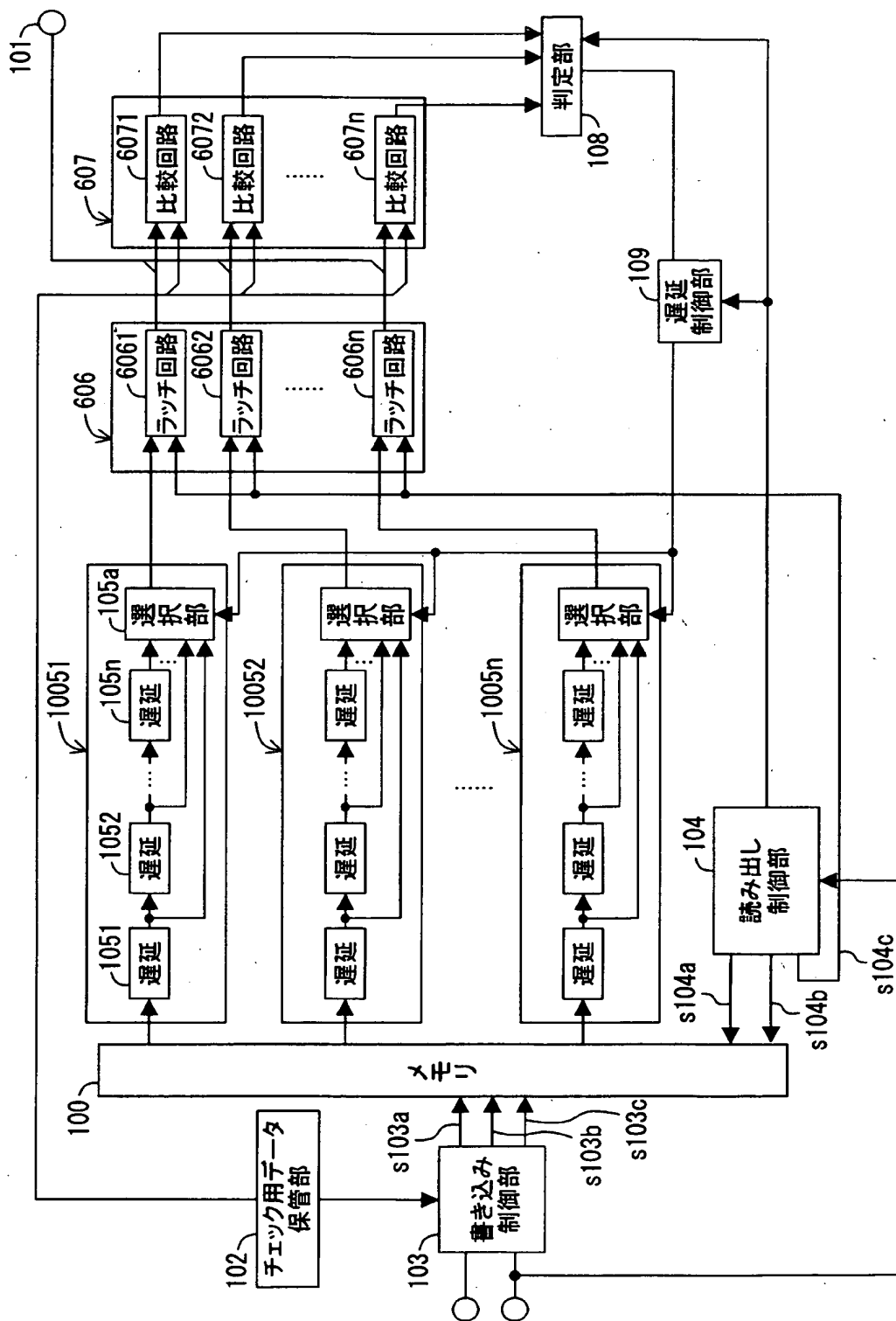
【図 7】



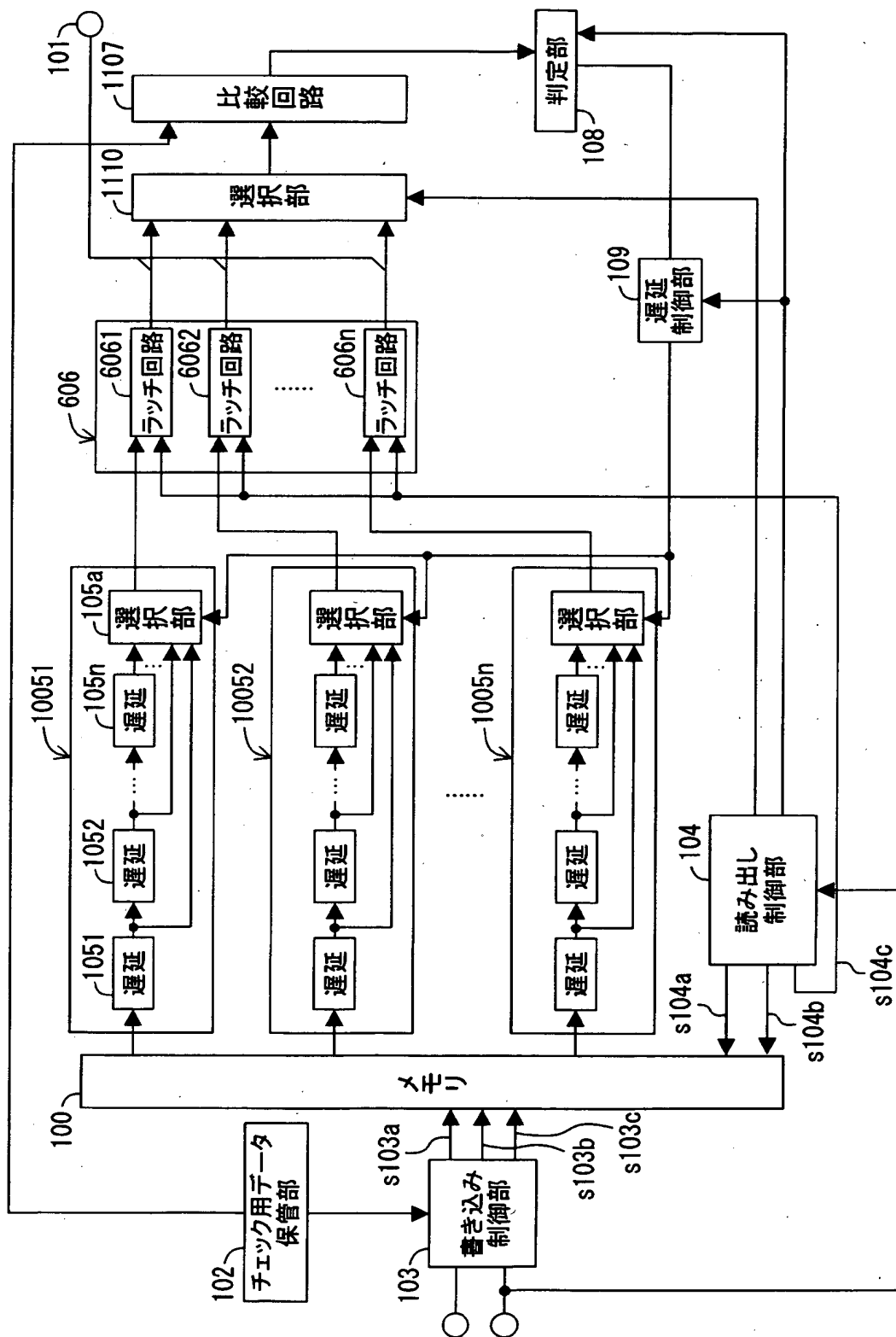
【図 8】



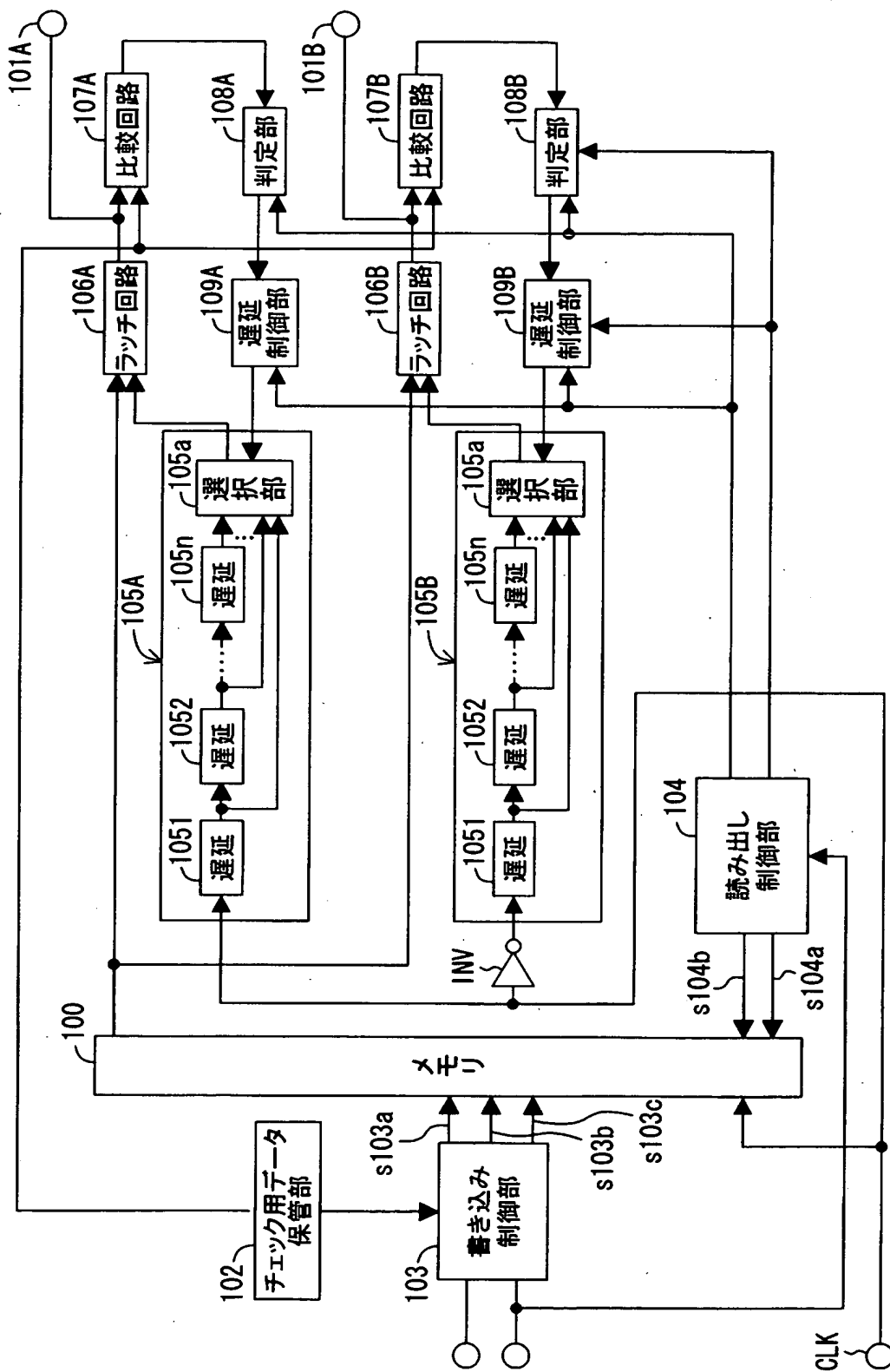
【図 9】



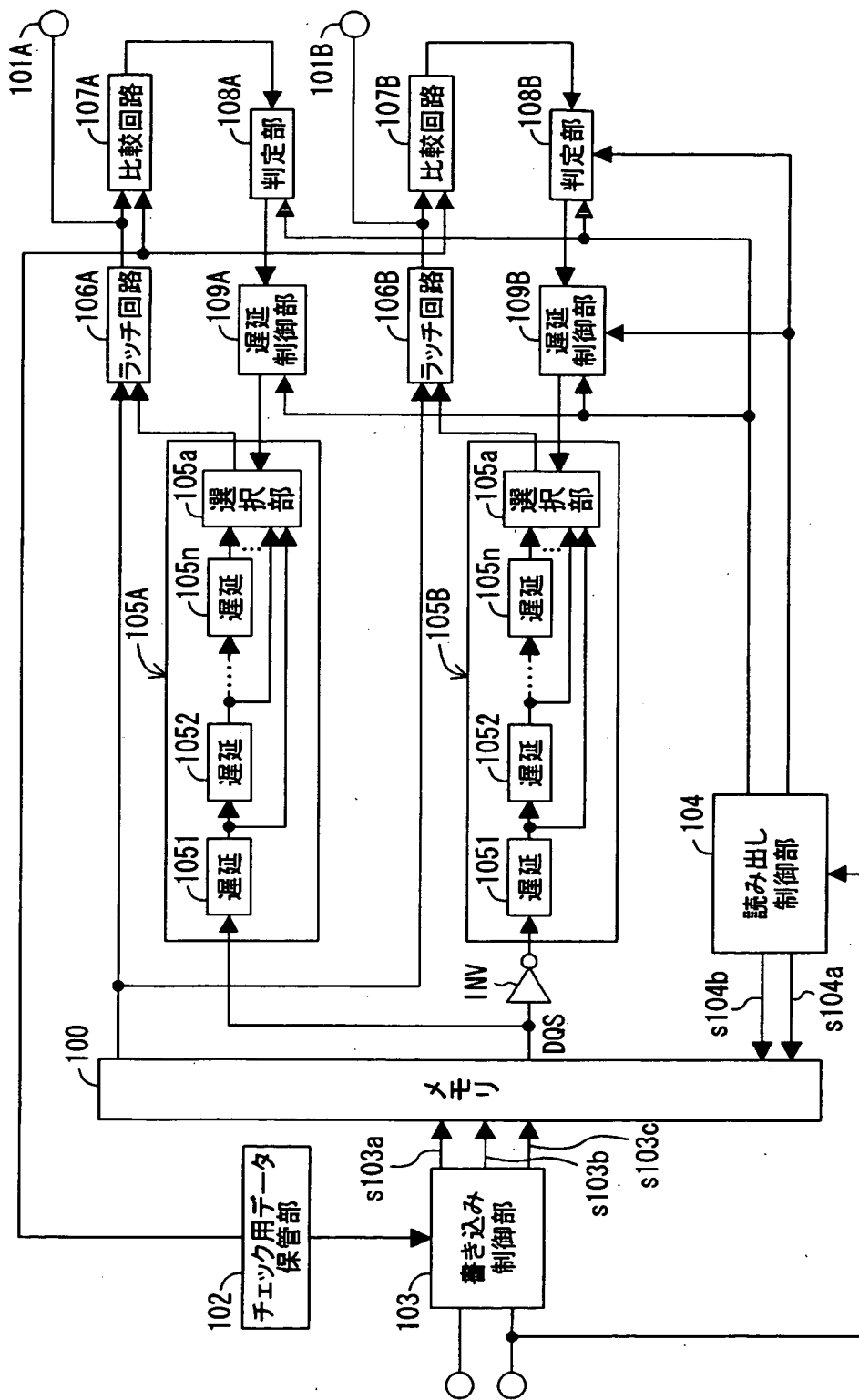
【図 10】



【図 11】



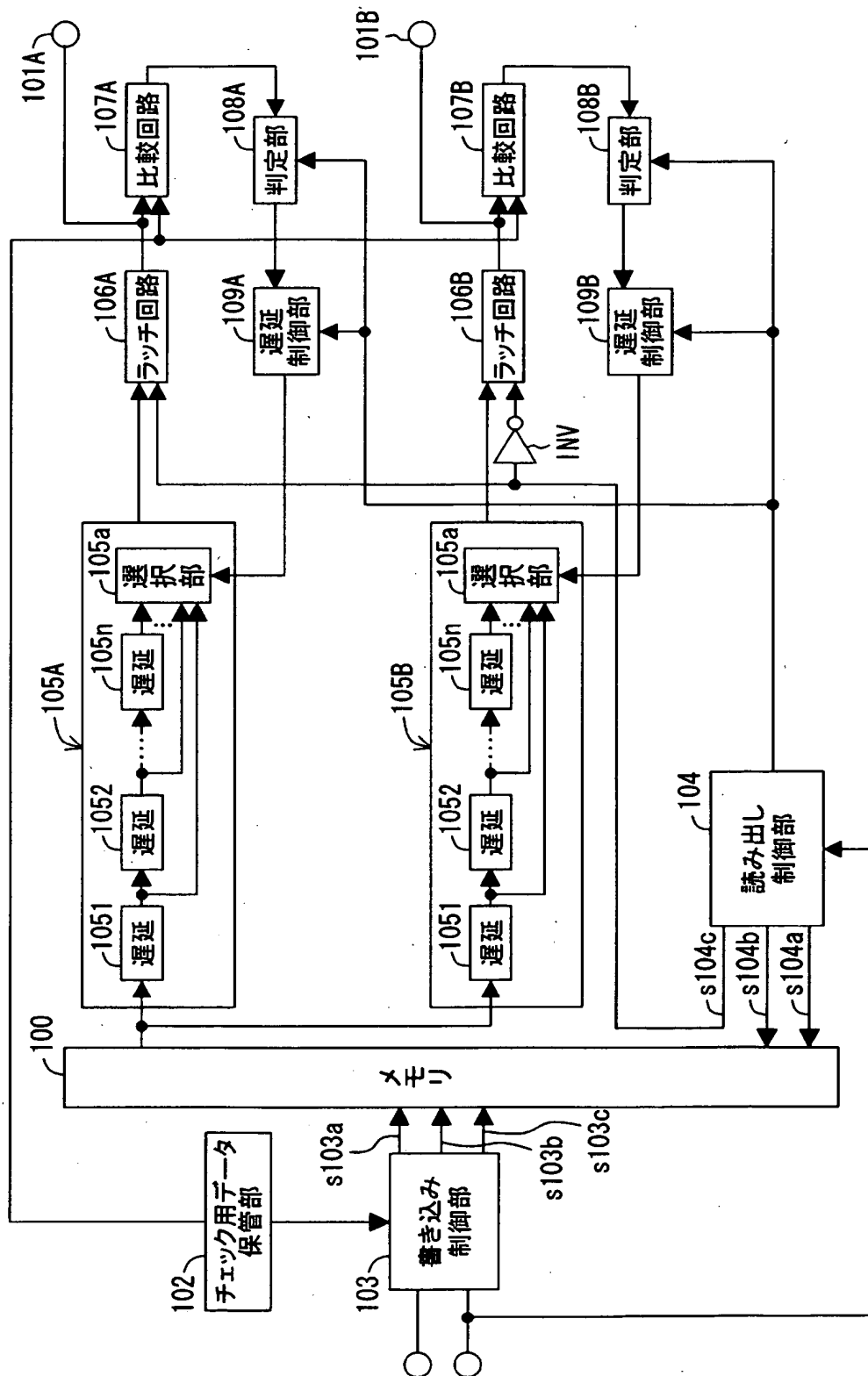
【図 12】



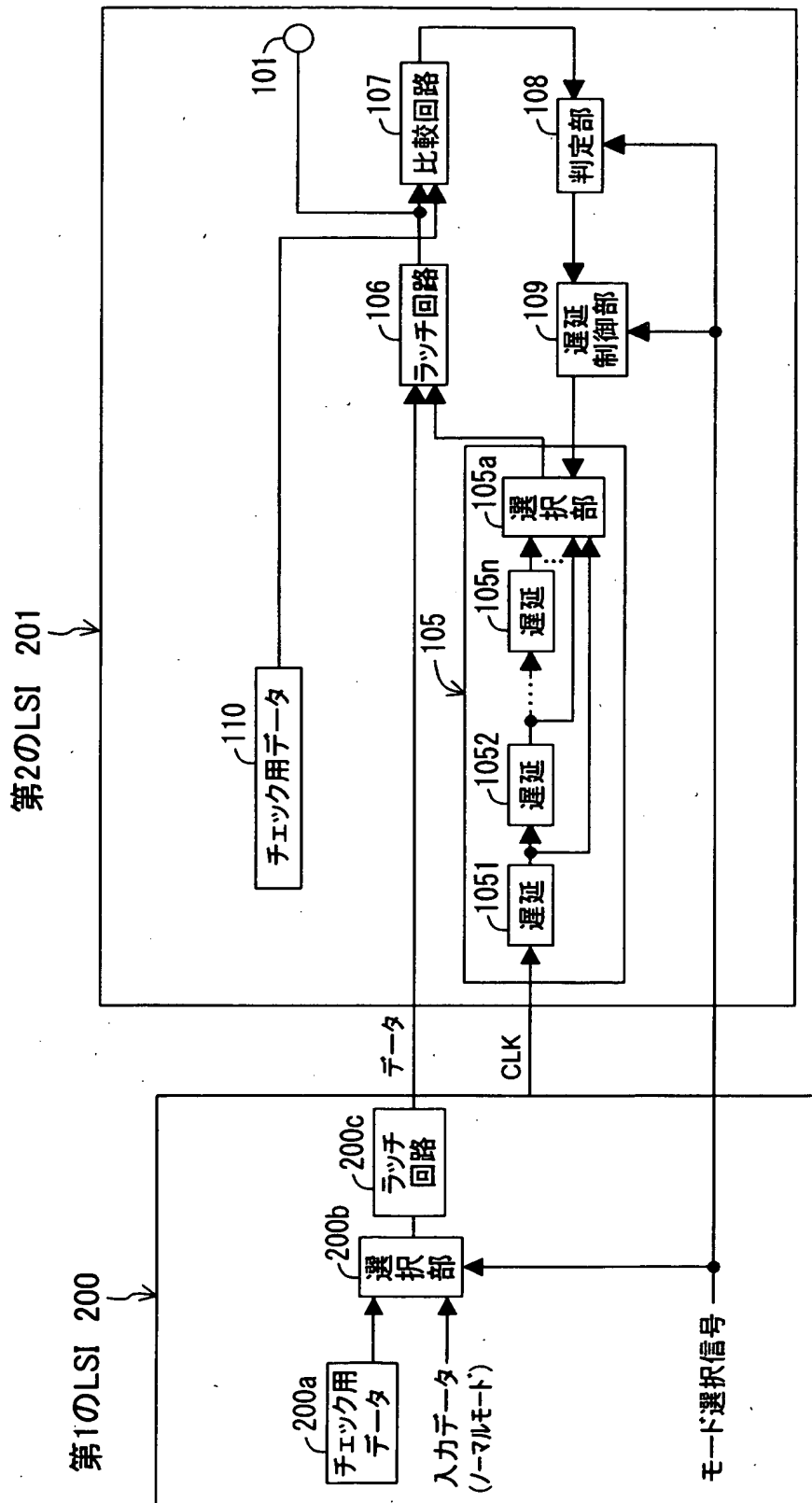




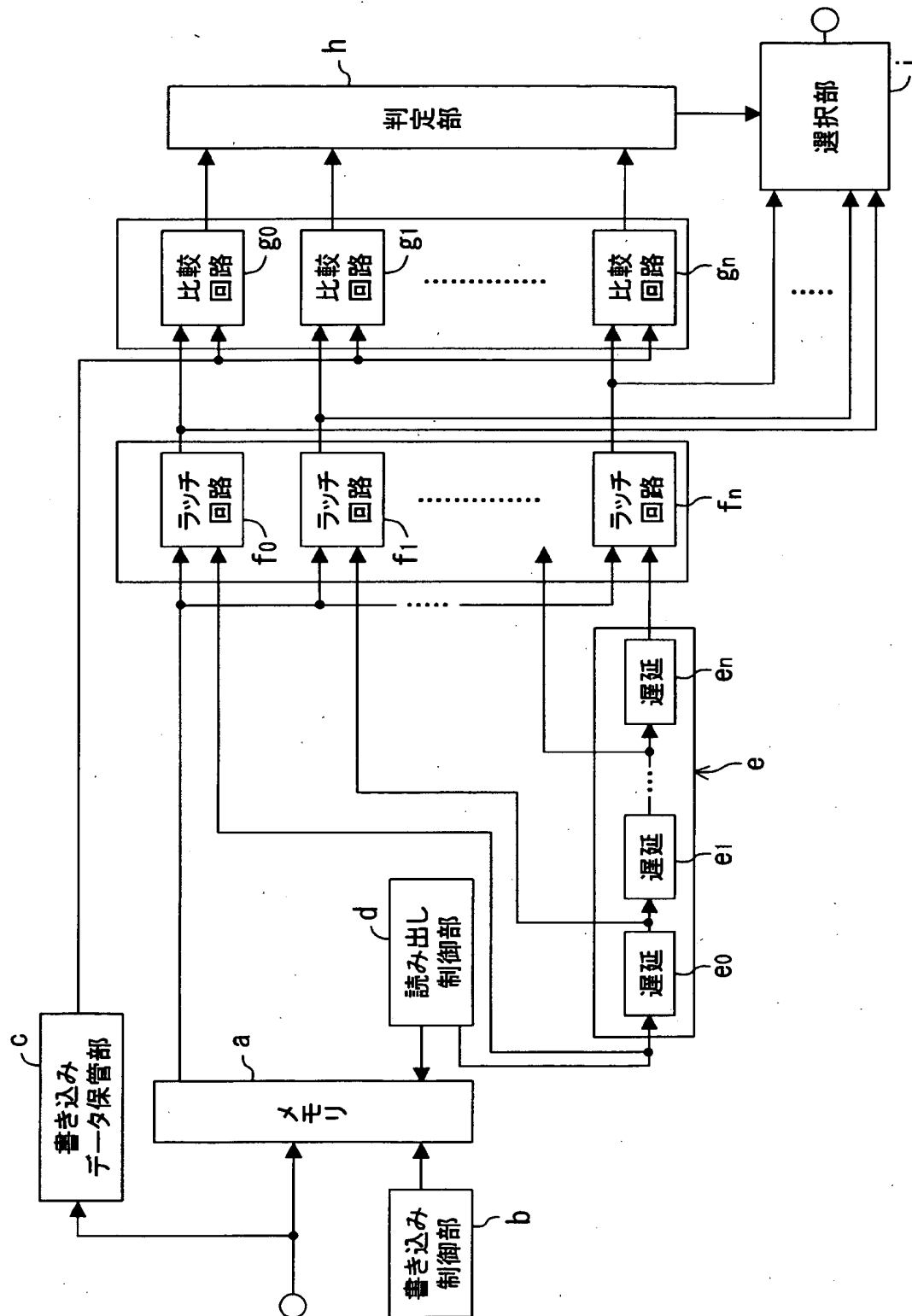
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 備えるべきラッチ回路の個数を少なく制限しながら、データのラッチタイミングを自動的に調整する。

【解決手段】 読み出し制御部 104 は、メモリ 100 に書き込んだチェック用データ保管部 102 の最初のチェック用データを読み出すと共に、ラッチパルス信号 s104c を遅延選択部 105 に出力する。選択部 105a は先頭の遅延回路 1051 で前記ラッチパルス信号 s104c を遅延した遅延パルス信号をラッチ回路 106 に出力する。ラッチ回路 106 は、遅延パルス信号の受信時にメモリ 100 からのチェック用データをラッチする。次回は、メモリ 100 からは次のデータが読み出されると共に、選択部 105a は、次段に位置する遅延回路 1052 により遅延した遅延パルス信号をラッチ回路 106 に出力する。

【選択図】 図 1

特願 2002-337925

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社